

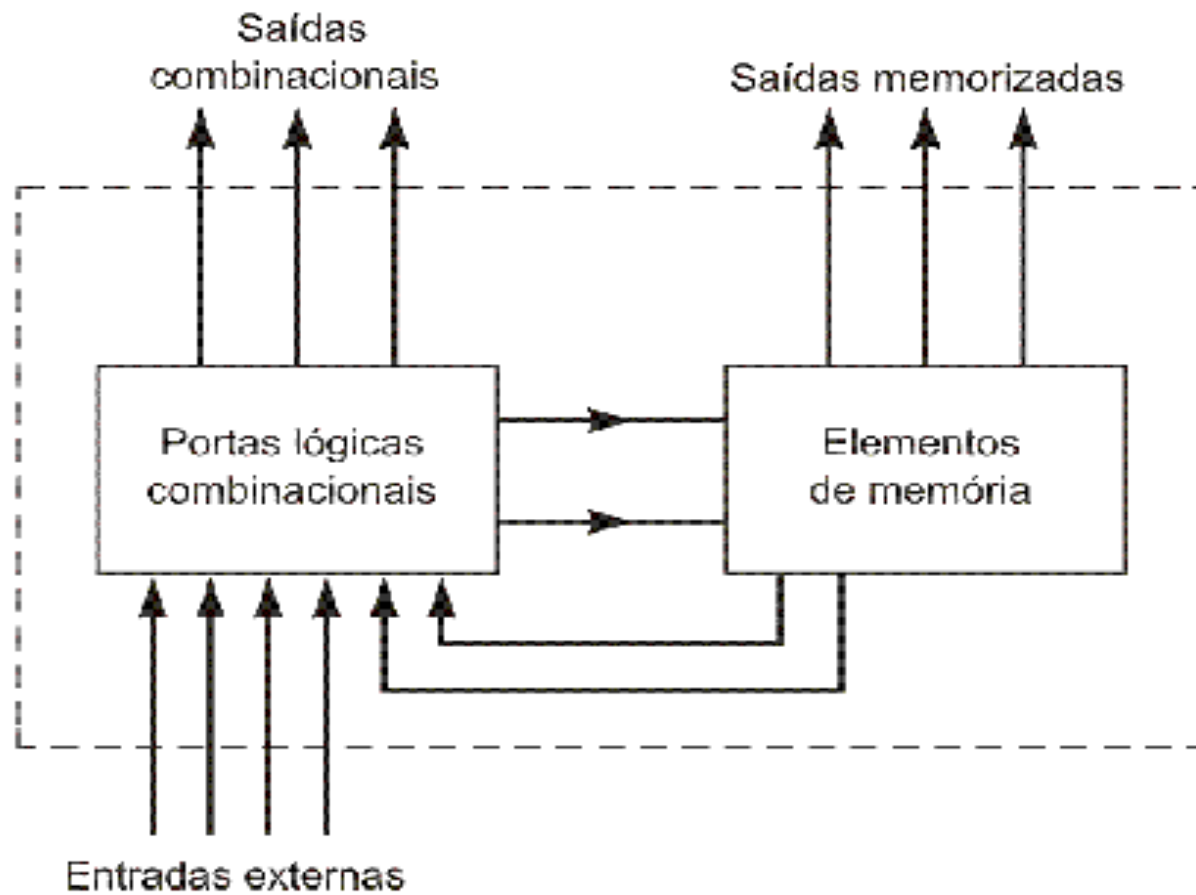
Latches e Flip-Flops

Circuitos Lógicos

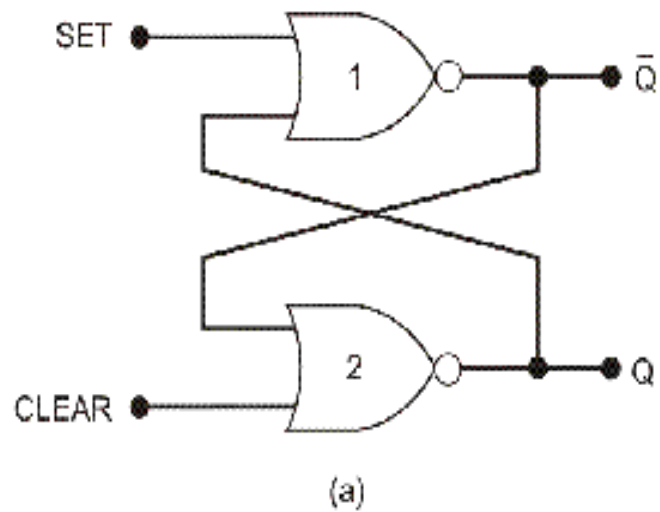
DCC-IM/UFRJ

Prof. Gabriel P. Silva

Diagrama Geral de um Sistema Digital



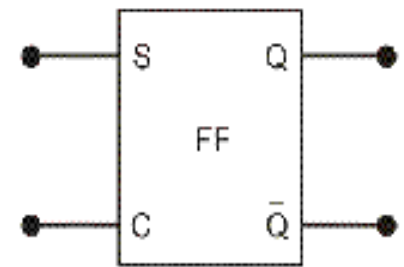
“Latch” com Portas NOR



Set	Clear	Saída
0	0	Não muda
1	0	$Q = 1$
0	1	$Q = 0$
1	1	Inválida*

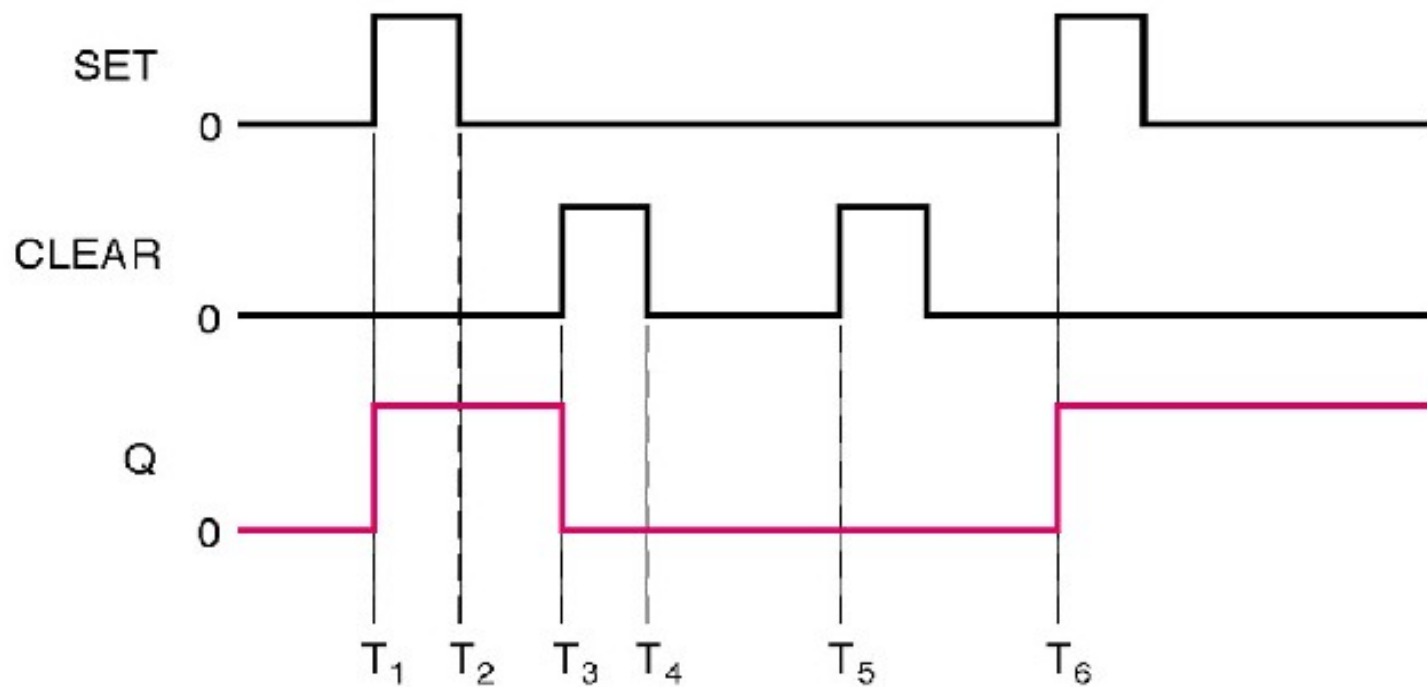
*produz $Q = \bar{Q} = 0$

(b)

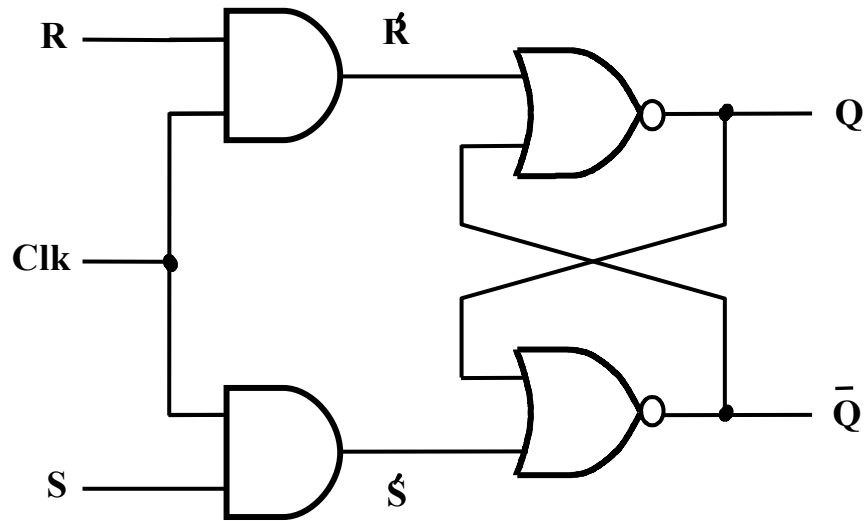


(c)

Diagrama de Tempos “Latch” com Portas NOR

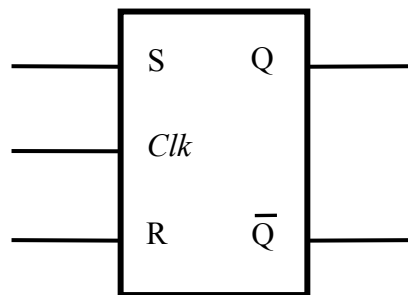
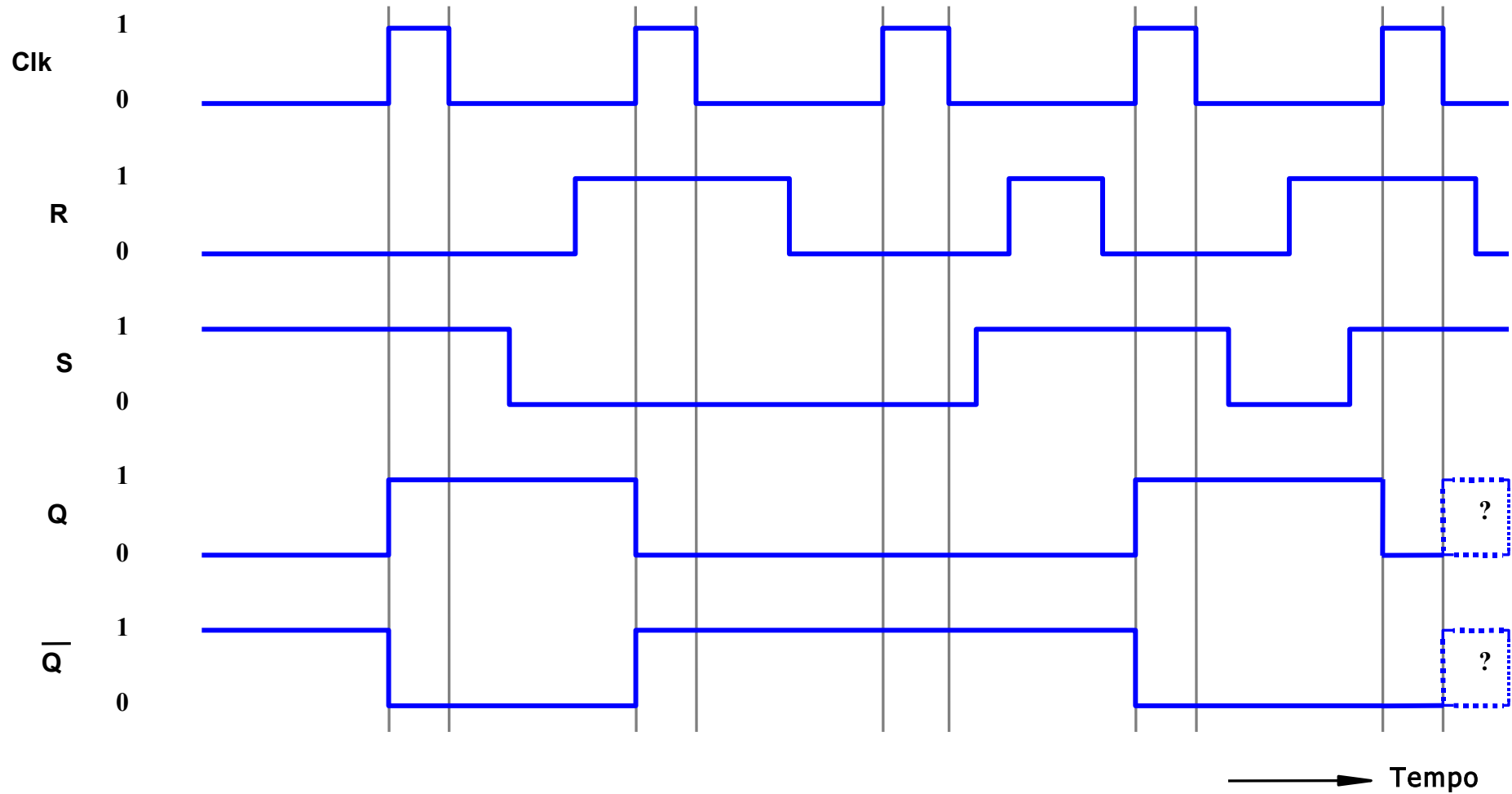


“Gated Latch” c/ portas NOR

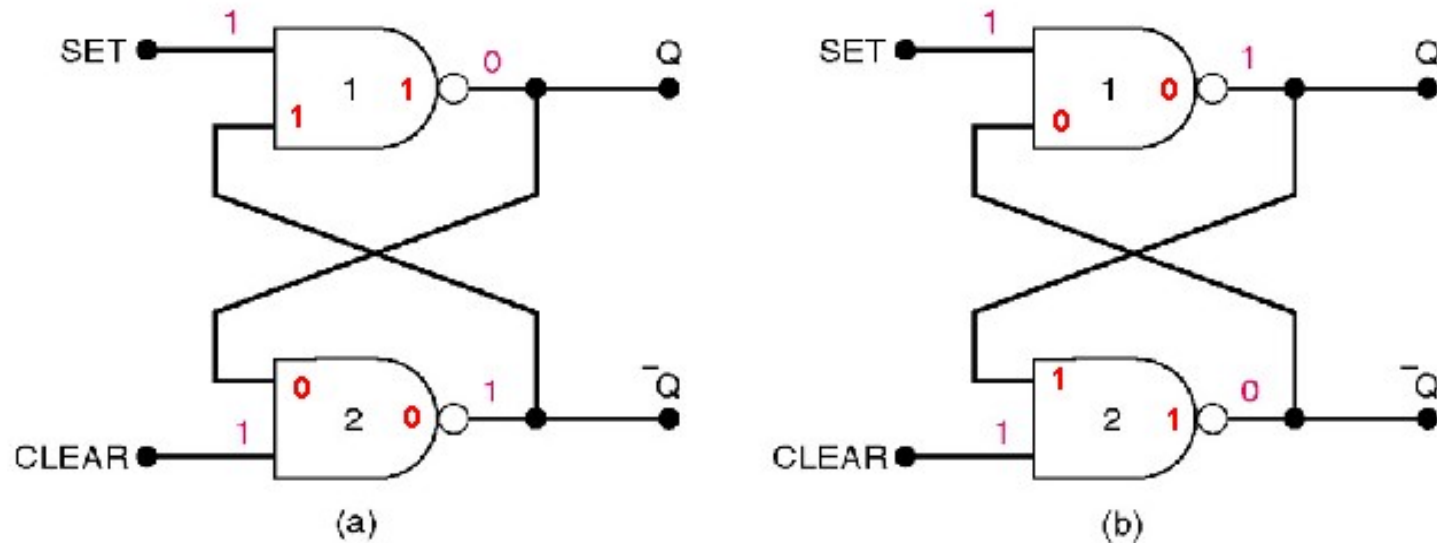


Clk	S	R	$Q(t+1)$
0	x	x	$Q(t)$ (no change)
1	0	0	$Q(t)$ (no change)
1	0	1	0
1	1	0	1
1	1	1	x

“Gated Latch” c/ portas NOR

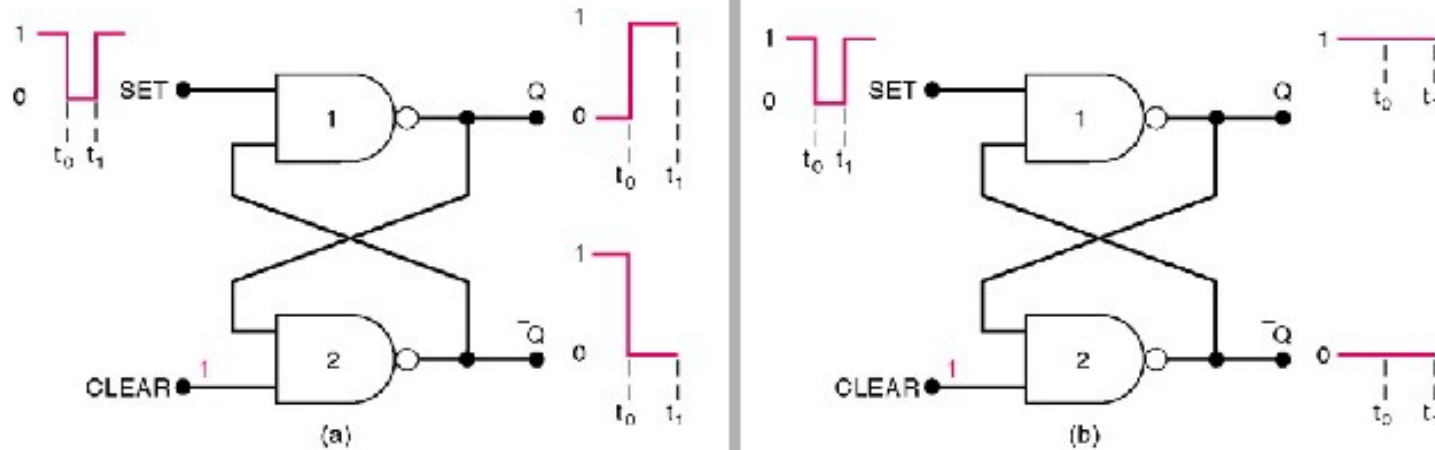


“Latch” c/ Portas NAND



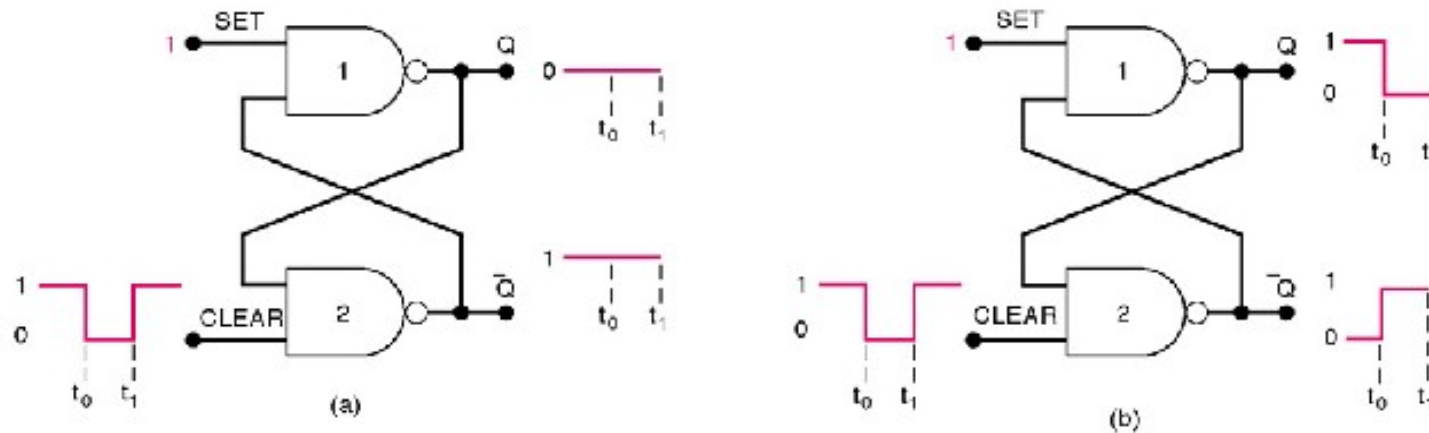
Dois estados de repouso possíveis quando SET=CLEAR=1

“Latch” c/ Portas NAND



Quando a entrada SET pulsa para '0' força a saída Q para '1'.

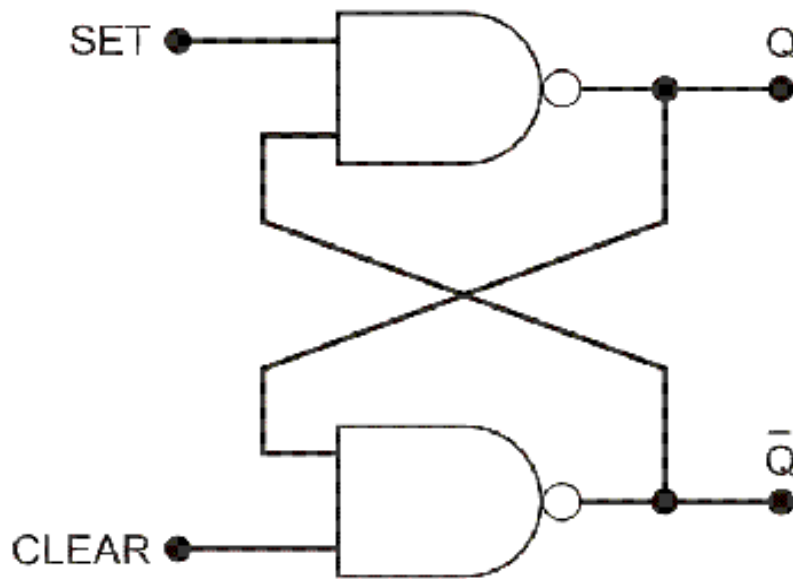
“Latch” c/ Portas NAND



Quando a entrada CLEAR pulsa para '0' força a saída Q para '0'.

“Latch” c/ Portas NAND

(a) Latch com portas NAND;



(a)

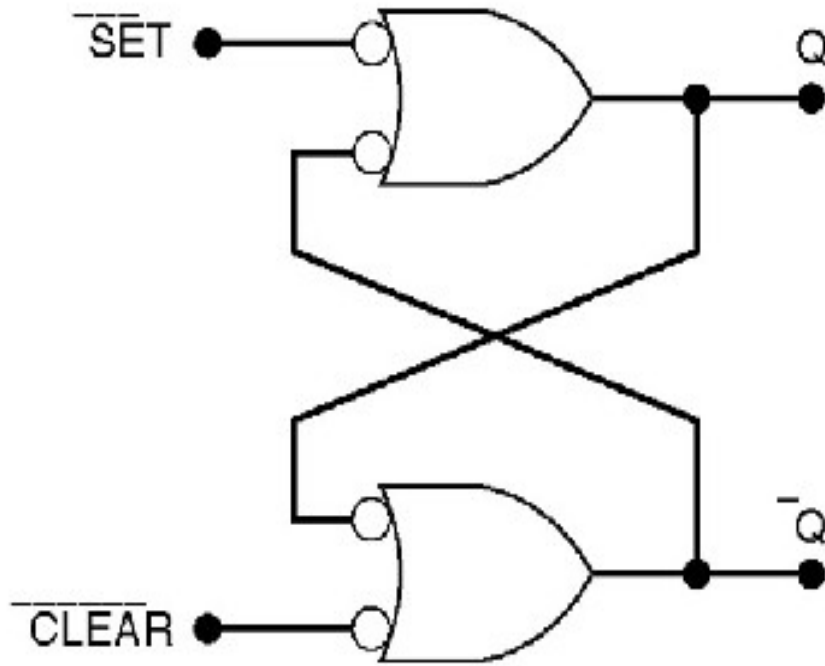
(b) Tabela-verdade.

Set	Clear	Saída
1	1	Não muda
0	1	Q = 1
1	0	Q = 0
0	0	Inválida*

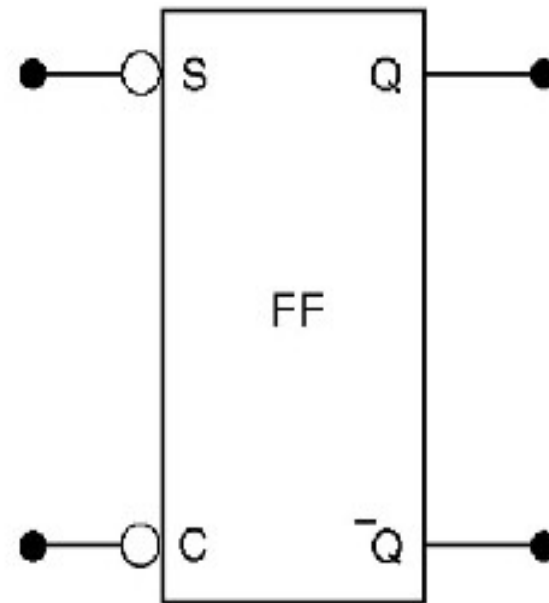
*Produz $Q = \bar{Q} = 1$

(b)

“Latch” c/ Portas NAND

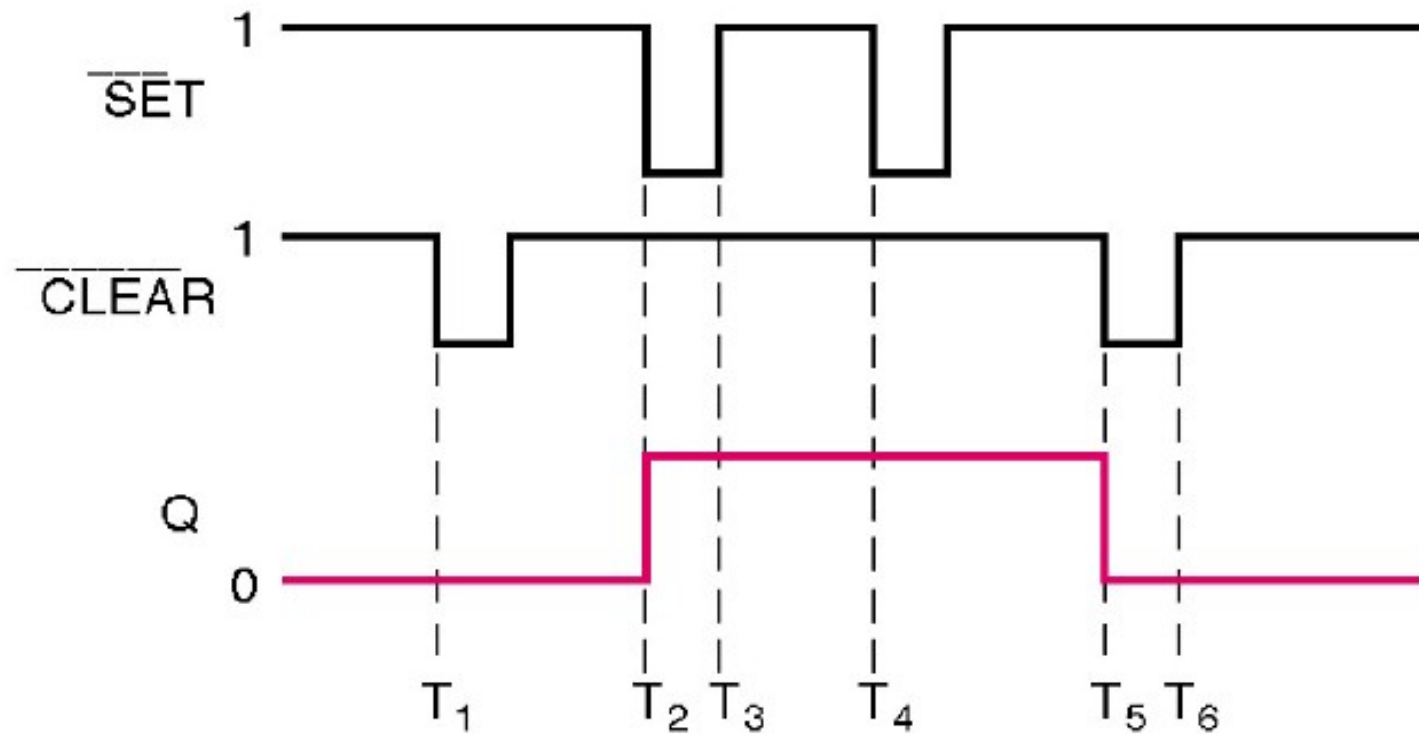


(a)

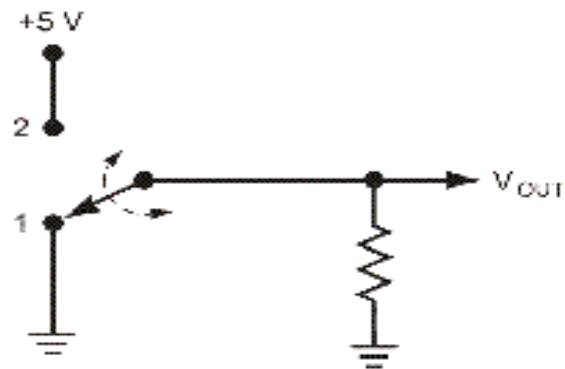


(b)

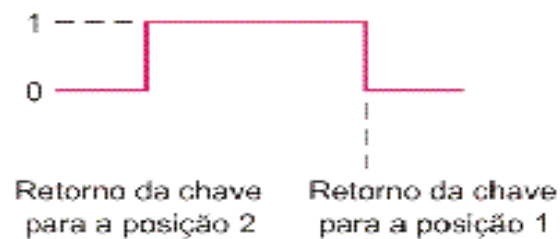
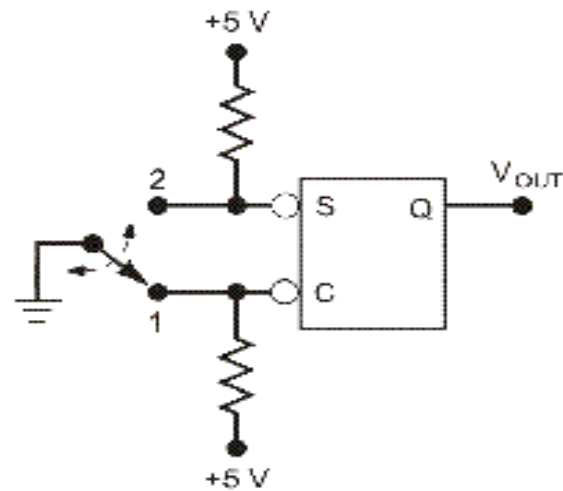
Diagrama de Tempos “Latch” com Portas NAND



Aplicação do “Latch”

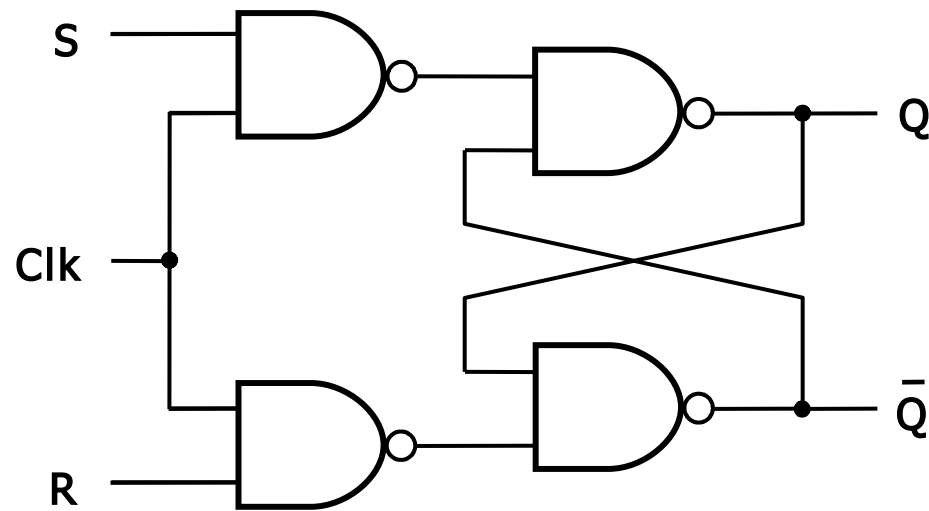


(a)



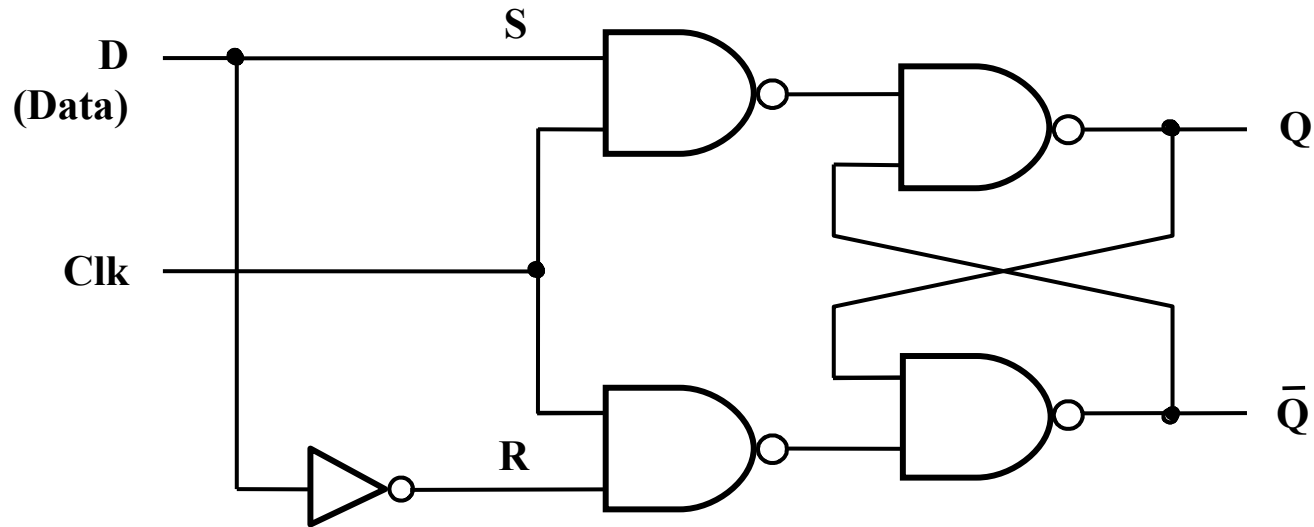
(b)

“Gated SR Latch” com NAND

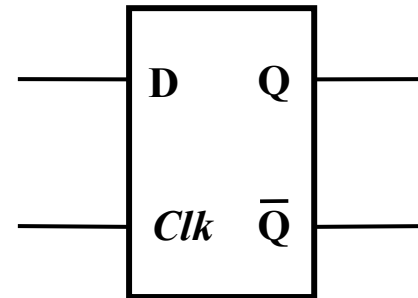


Qual a tabela verdade?

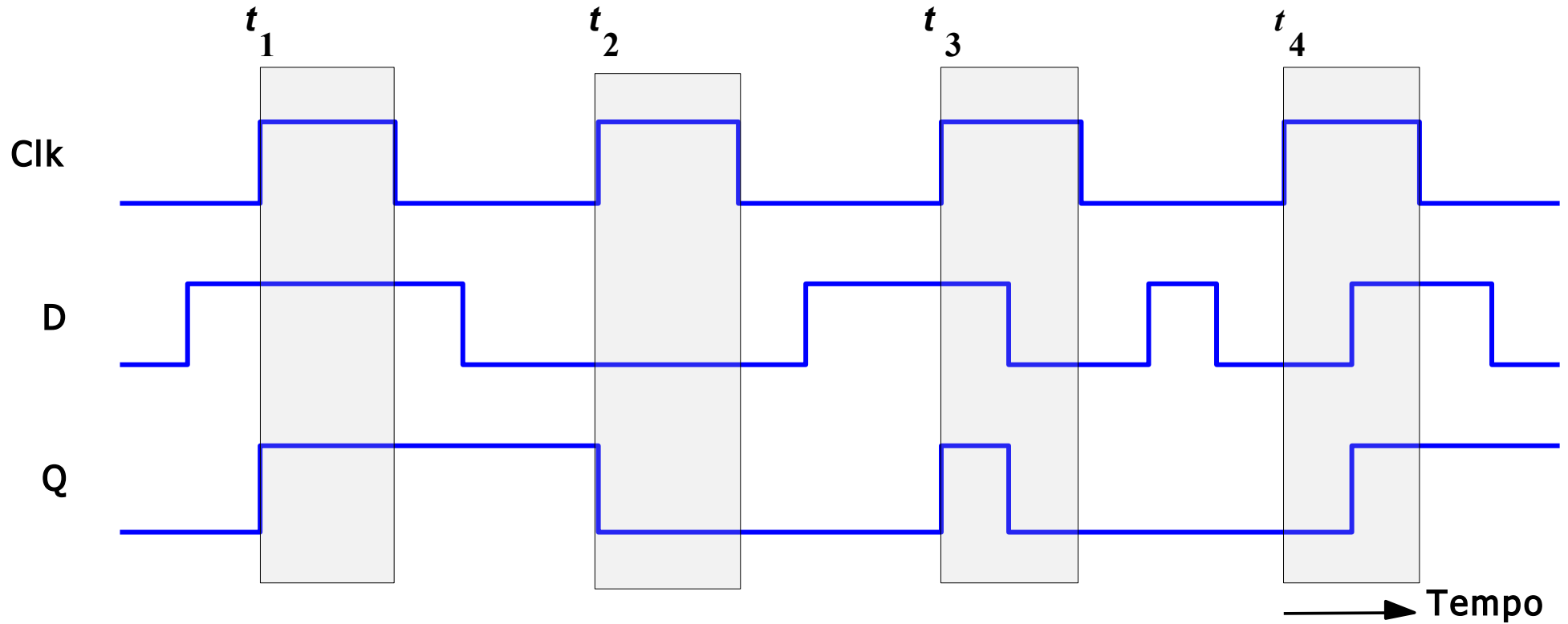
“Gated D Latch” com NAND



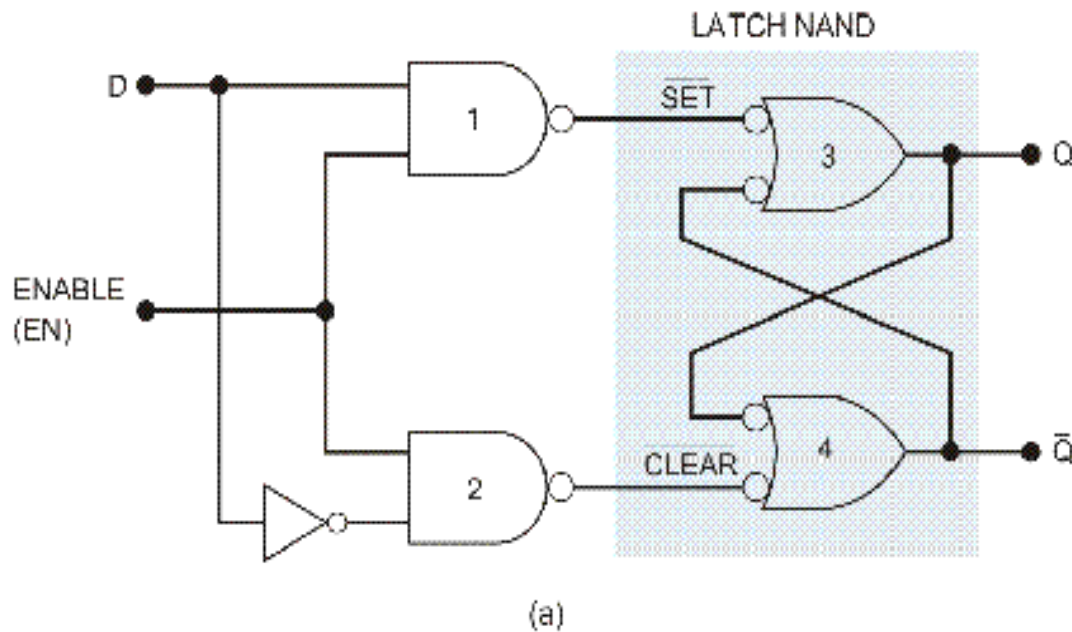
Clk	D	$Q(t+1)$
0	x	$Q(t)$
1	0	0
1	1	1



“Gated D Latch” com NAND



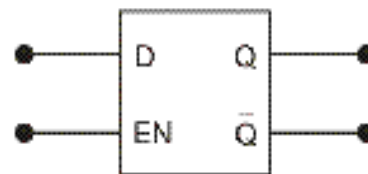
“Latch” Transparente



Entradas		Saída
EN	D	Q
0	X	Q_0 (não muda)
1	0	0
1	1	1

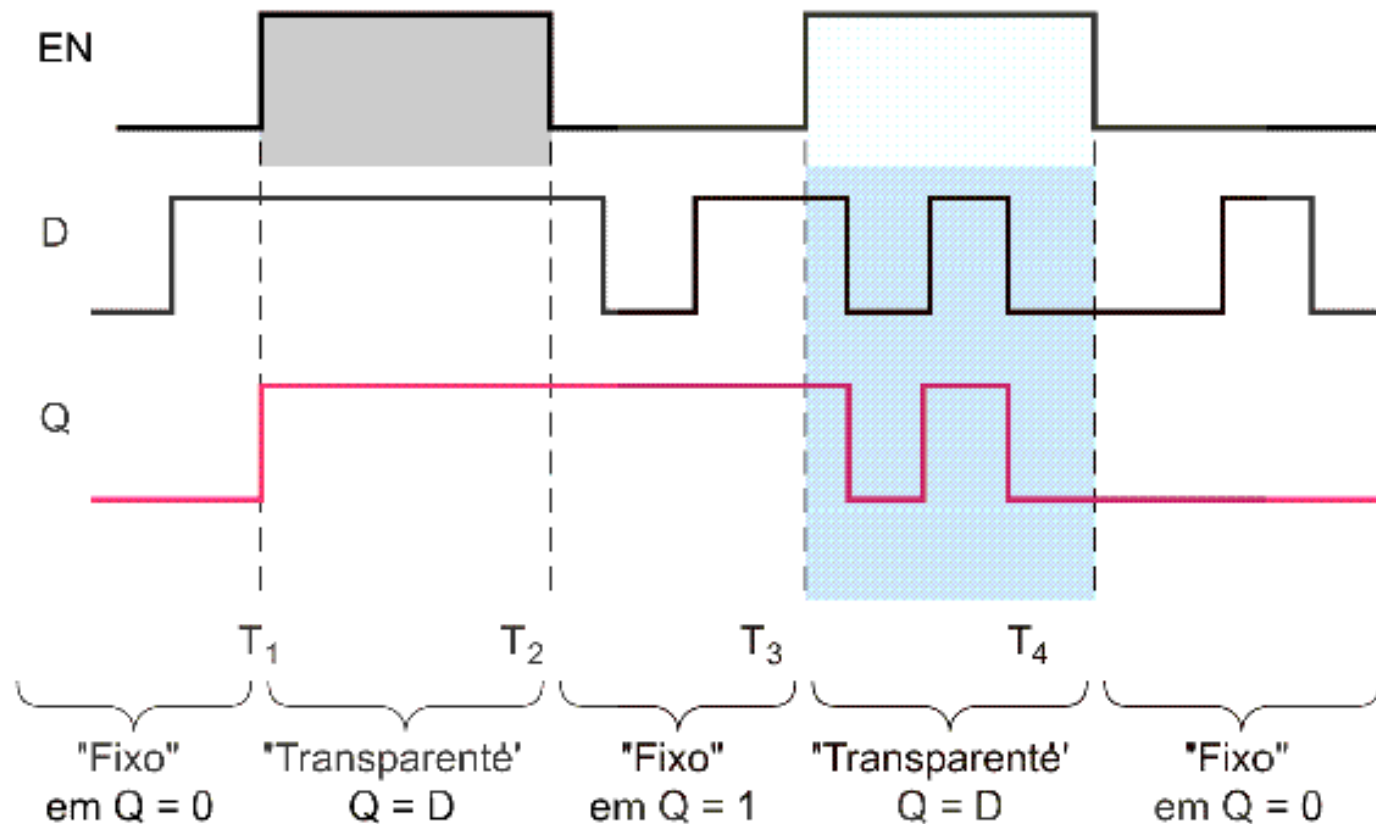
"X" indica a condição 'don't care'
 Q_0 é o estado de Q imediatamente antes de EN ir para o nível BAIXO

(b)



(c)

Diagrama de Tempos “Latch” Transparente

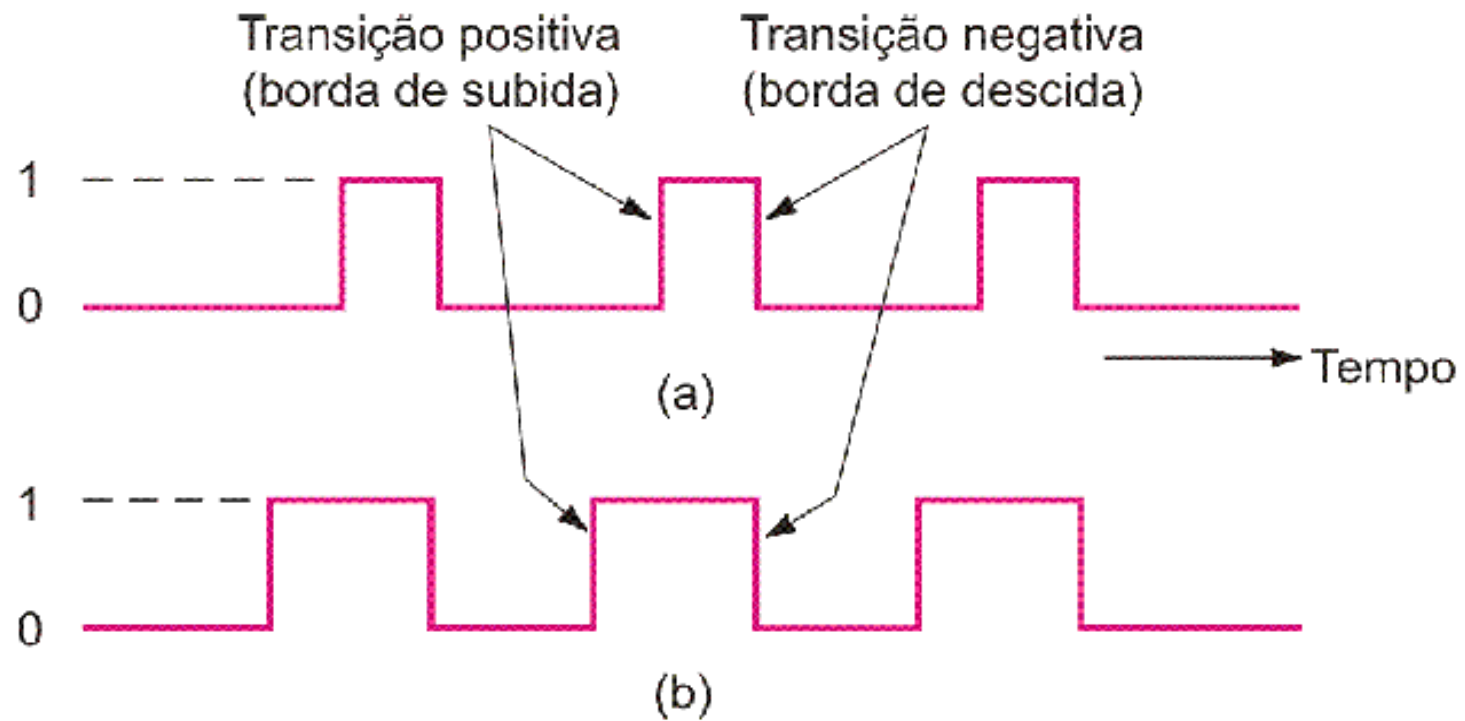


VHDL

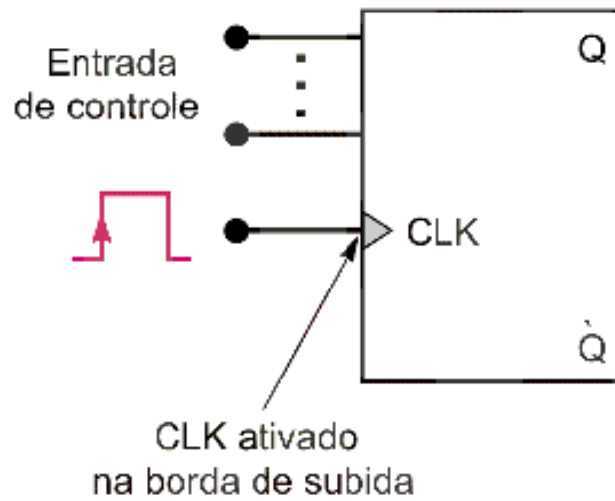
“Latch” Transparente

```
entity d_latch is  
    port ( d, clk : in bit; q : out bit );  
end entity d_latch;  
  
architecture basic of d_latch is  
begin  
    latch_behavior : process is  
    begin  
        if clk = '1' then  
            q <= d after 2 ns;  
        end if;  
        wait on clk, d;  
    end process latch_behavior;  
end architecture basic;
```

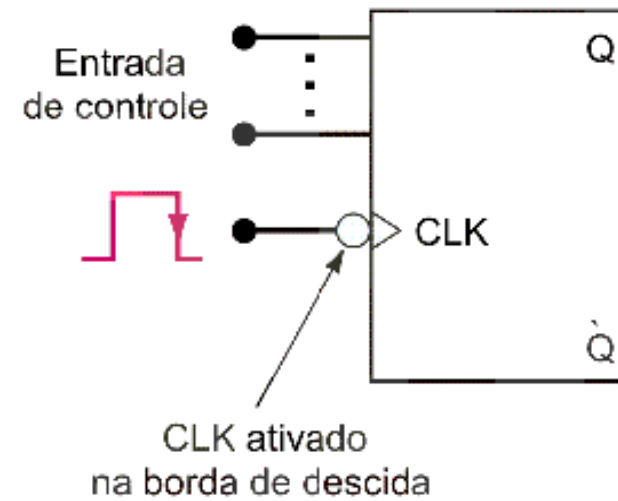
Sinal de Relógio (Clock)



Flip-Flop

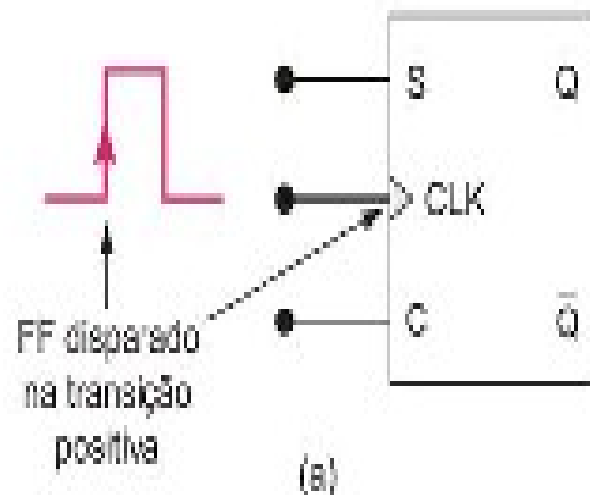


(a)



(b)

Flip-Flop SC ativado na transição positiva do “clock”

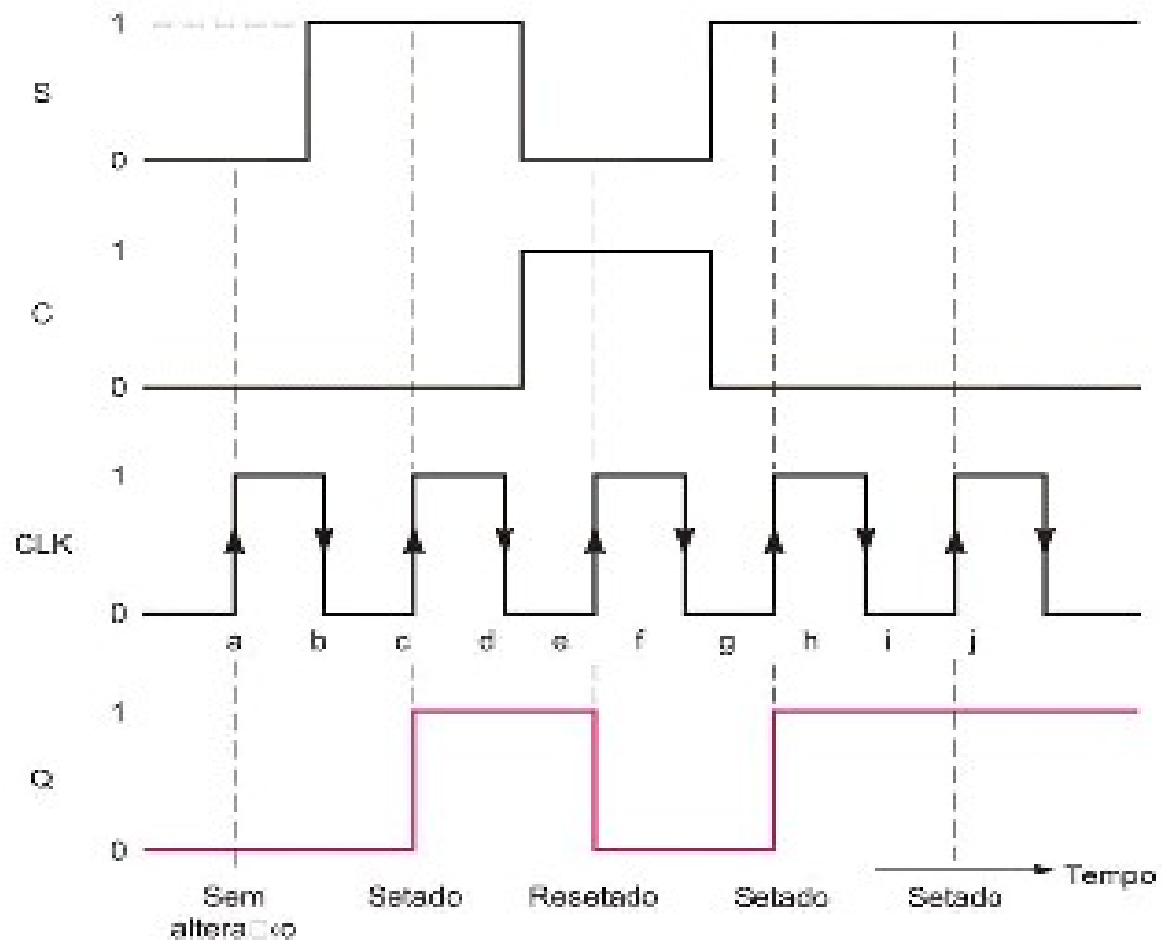


Entradas			Saídas
S	C	CLK	Q
0	0	-	Q_0 (não muda)
1	0	-	1
0	1	-	0
1	1	-	Ambígua

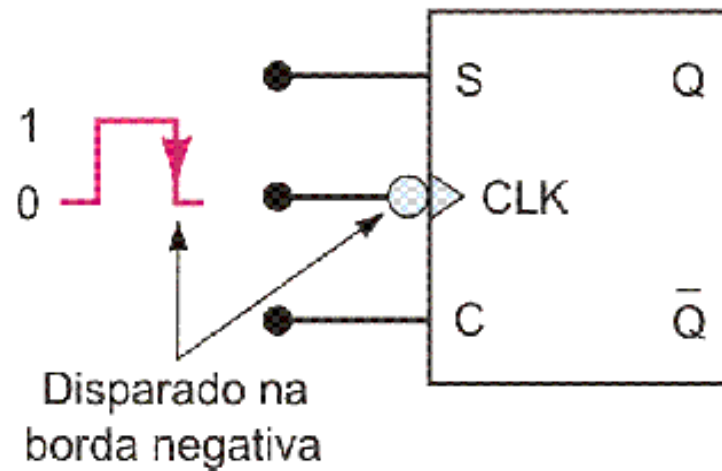
Q_0 é o nível lógico da saída antes da borda de subida (↑) do CLK. A borda de descida (↓) do CLK não gera mudança na saída Q.

(b)

Diagrama de Tempo Flip-Flop SC

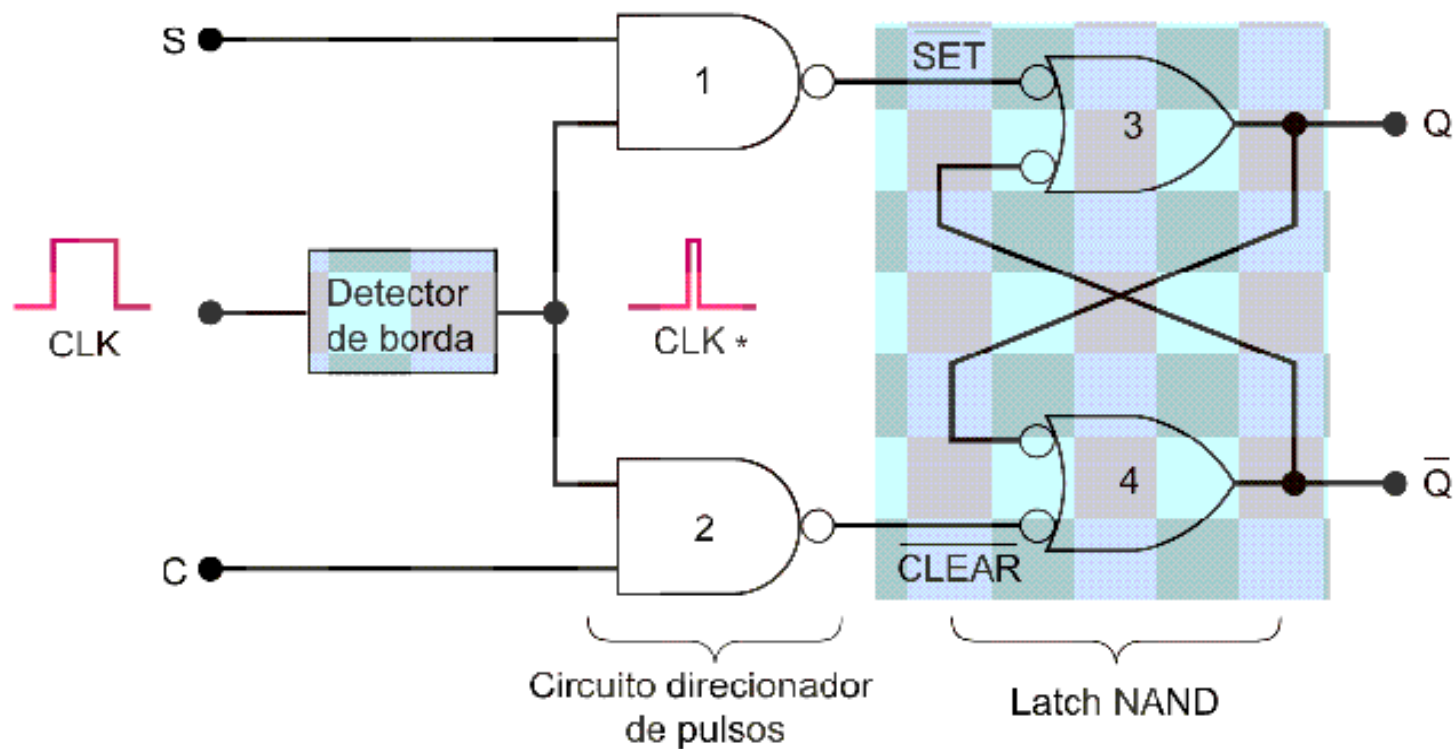


Flip-Flop SC ativado na transição negativa do “clock”

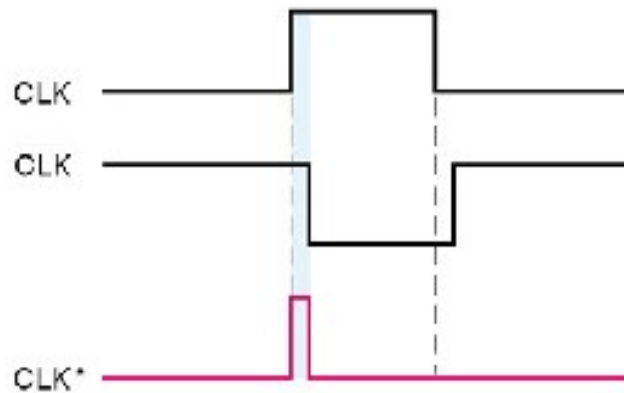
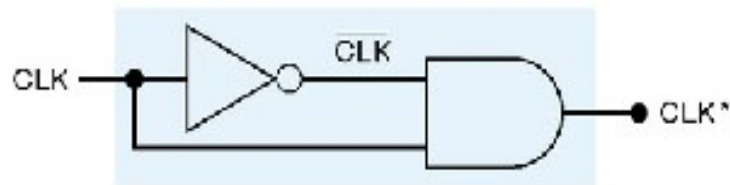


Entradas			Saídas
S	C	CLK	Q
0	0	—	Q_0 (não muda)
1	0	—	1
0	1	—	0
1	1	—	Ambígua

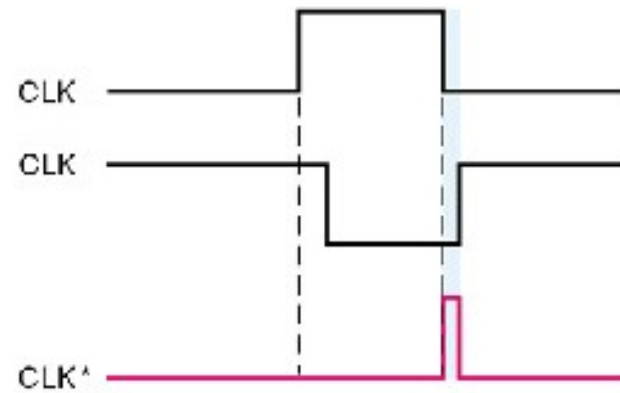
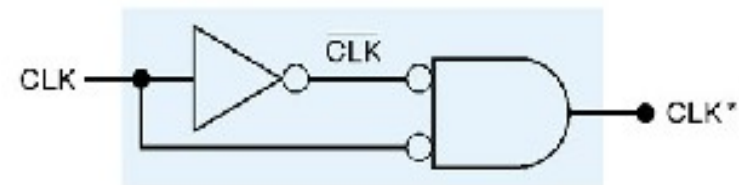
Circuito Interno Flip-Flop tipo SC



Circuito Detector de Transição

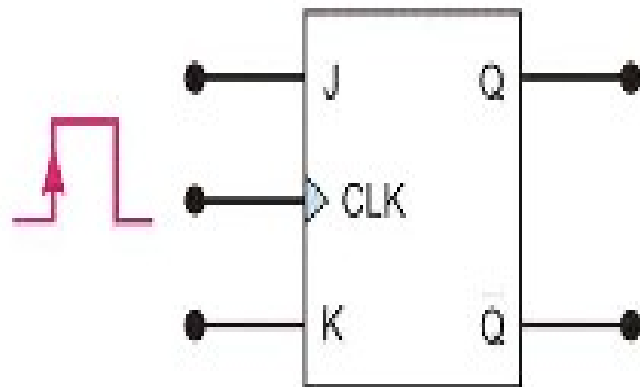


(a)



(b)

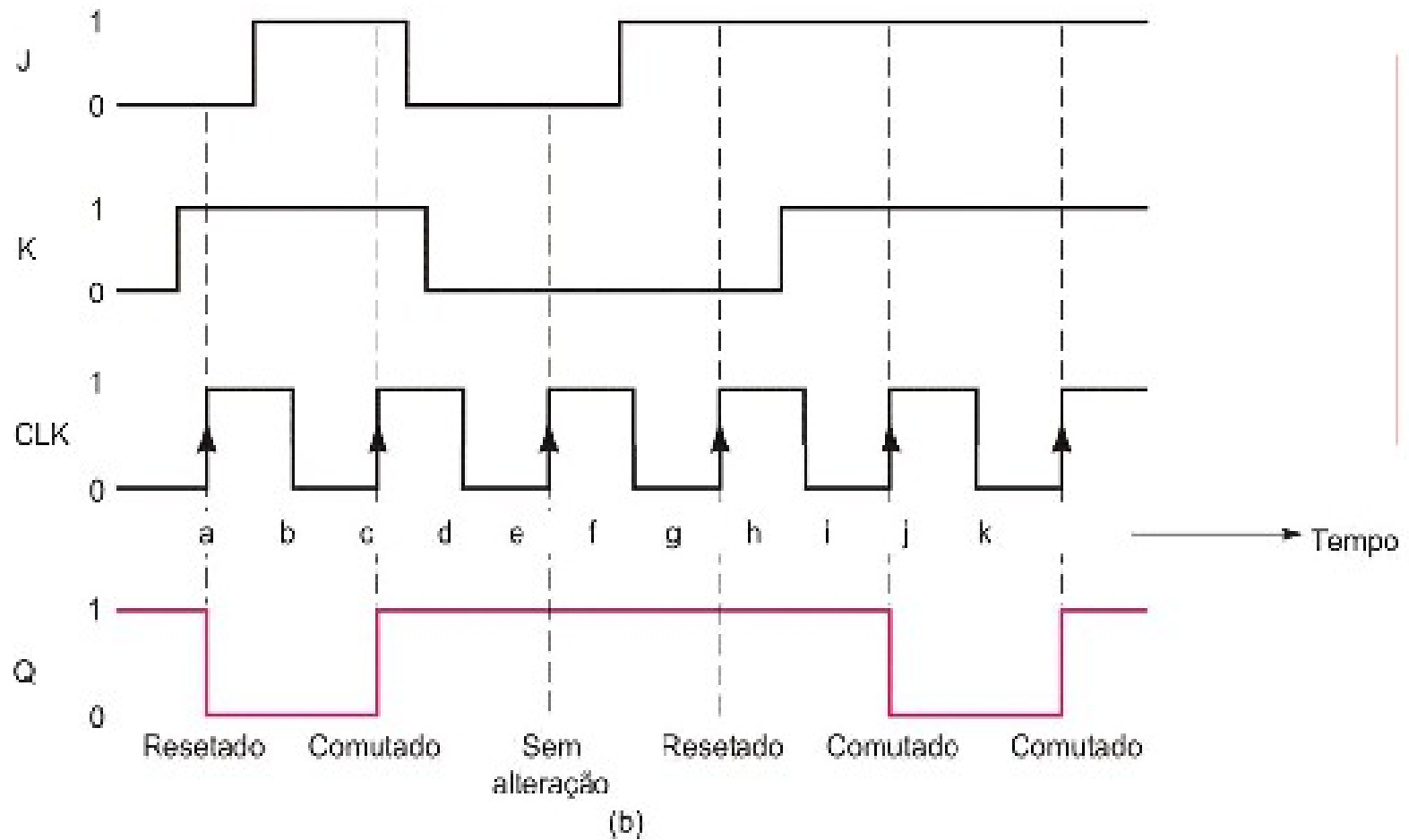
Flip-Flop JK



J	K	CLK	Q
0	0	—	Q_0 (não muda)
1	0	—	1
0	1	—	0
1	1	—	\bar{Q}_0 (comuta)

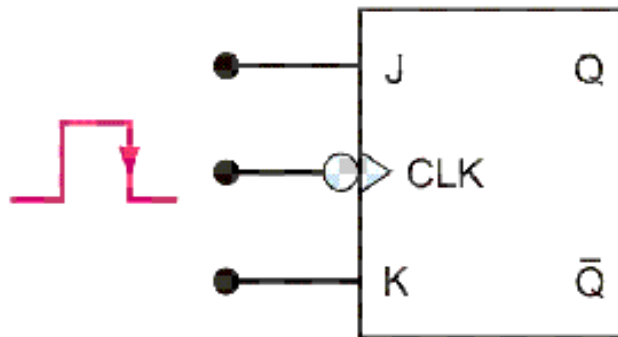
(a)

Flip-Flop JK



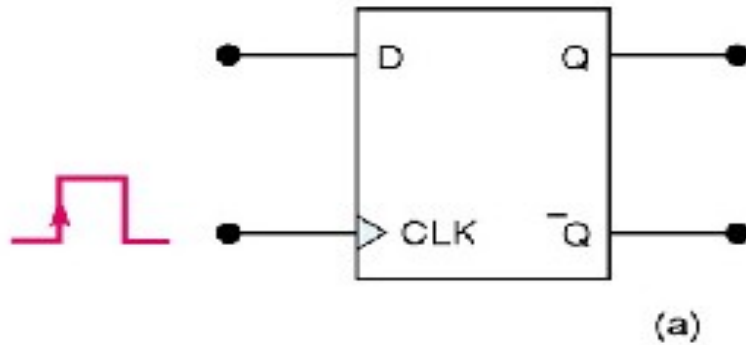
Flip-Flop JK

Transição Negativa

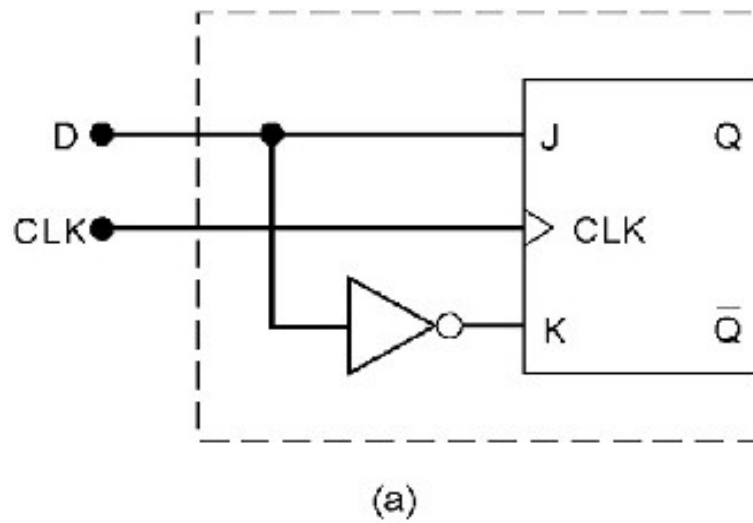


J	K	CLK	Q
0	0	-	Q_0 (não muda)
1	0	-	1
0	1	-	0
1	1	-	\bar{Q}_0 (comuta)

Flip-Flop Tipo D



D	CLK	Q
0	↑	0
1	↑	1



≡

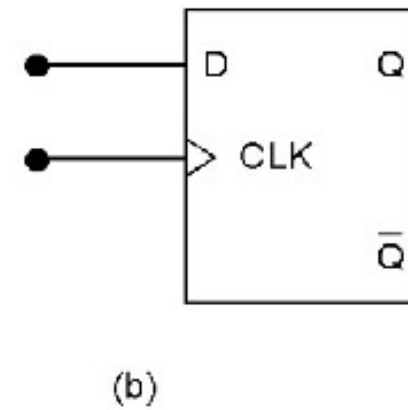
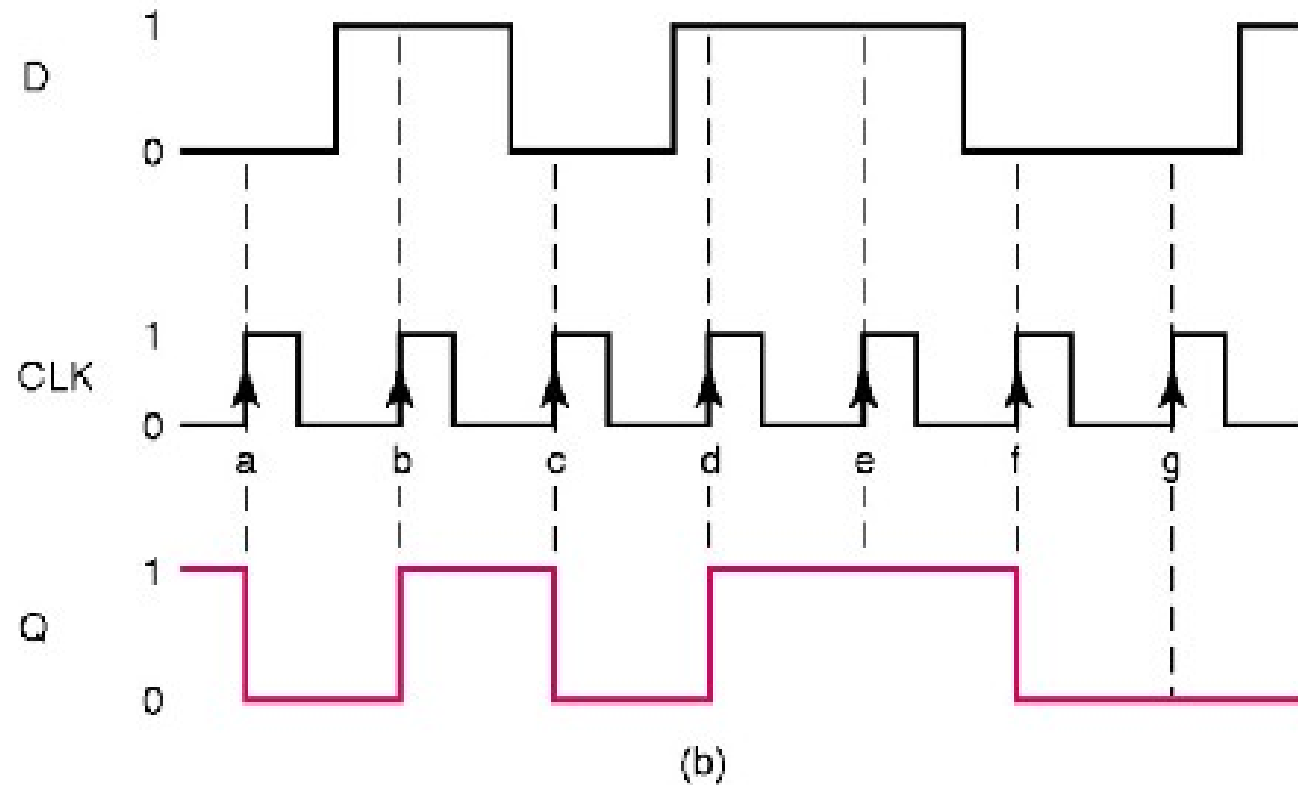
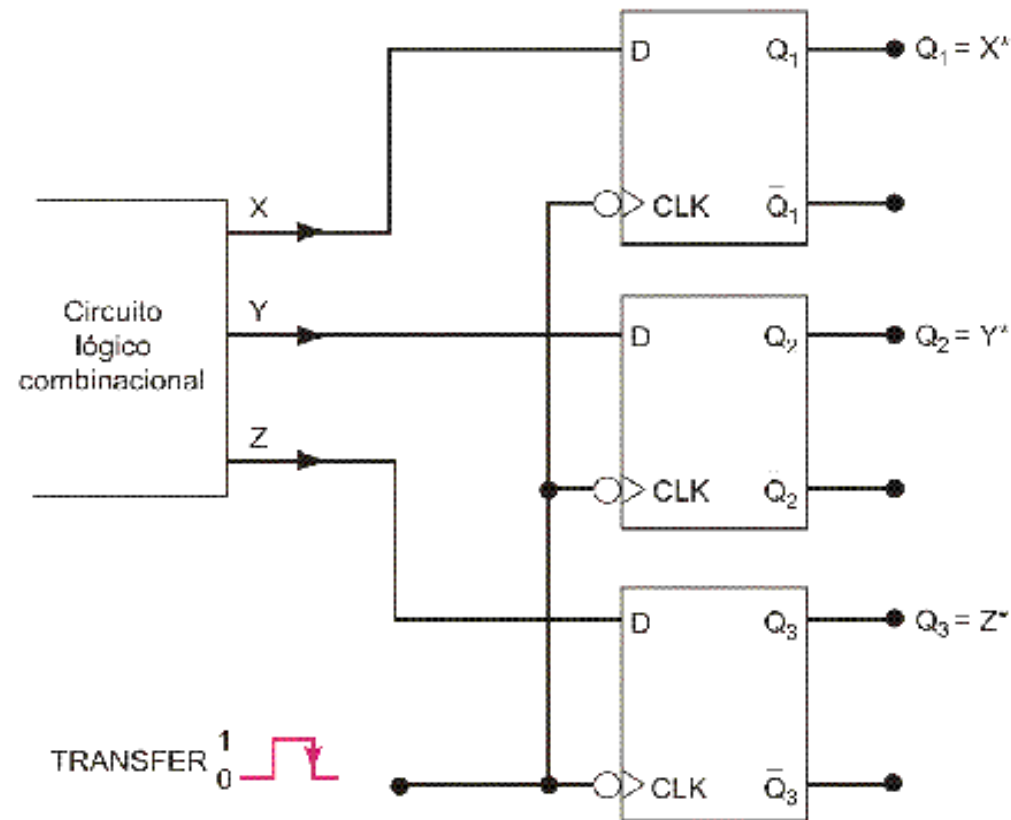


Diagrama de Tempos Flip-Flop Tipo D



Aplicação do Flip-Flop Tipo D



*Após a ocorrência da borda de descida.

Flip-Flop Tipo D com SET e RESET

Figure 6.13 Flip flop with clear and preset inputs.

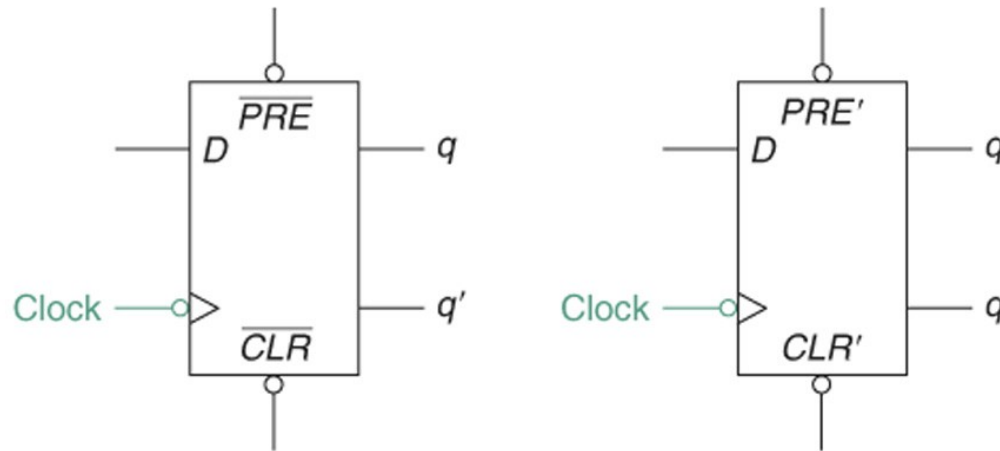
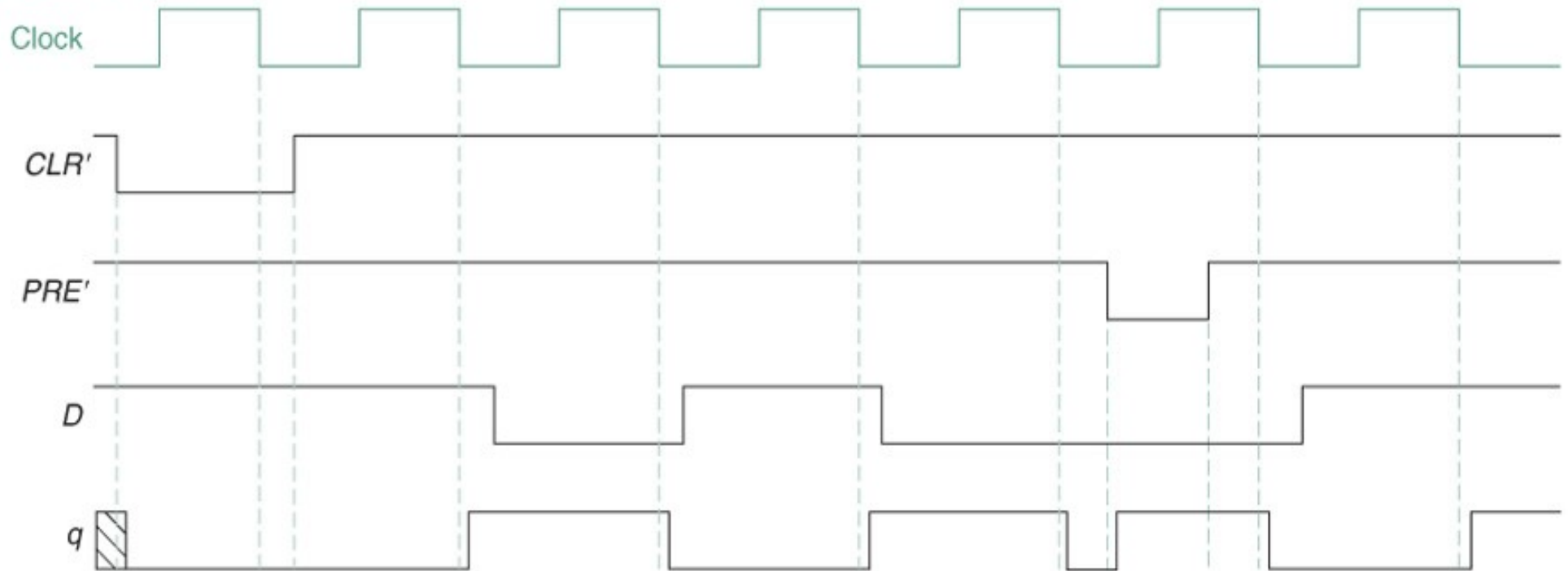


Table 6.3 D flip flop with clear and preset inputs behavioral table.

PRE'	CLR'	D	q	q^*
0	1	X	X	1 static
1	0	X	X	0 <u>immediate</u>
0	0	X	X	— not allowed
<hr/>				
1	1	0	0	0
1	1	0	1	0 clocked
1	1	1	0	1 (as before)
1	1	1	1	1

Flip-Flop Tipo D com SET e RESET

Figure 6.14 Timing for flip flop with clear and preset.

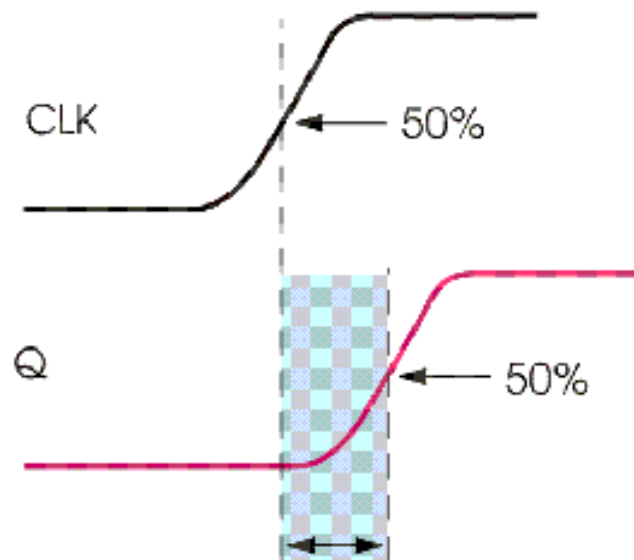


Temporização

□ Definição de termos

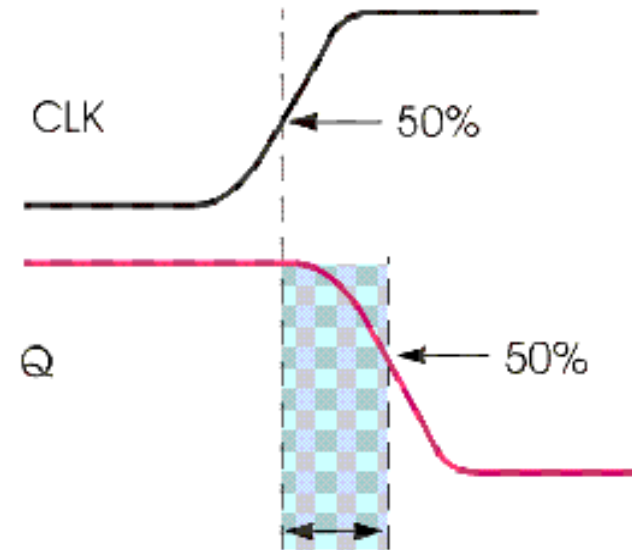
- Relógio: sinal elétrico periódico que provoca a mudança de estado do elemento de memória; (transição de subida ou descida, nível alto ou baixo)
- Atraso de propagação: tempo máximo depois do evento de relógio (transição de subida ou descida) até a mudança do valor na saída do flip-flop (T_{PHL} e T_{PLH})
- Tempo de *setup*: tempo mínimo antes do evento de relógio (transição de subida ou descida) em que a entrada precisa estar estável (T_{su})
- Tempo de hold: tempo mínimo depois do evento de relógio (transição de subida ou descida) durante o qual a entrada precisa continuar estável (T_h)

Atrasos de Propagação



t_{PLH}
Atraso de programação de BAIXO para ALTO

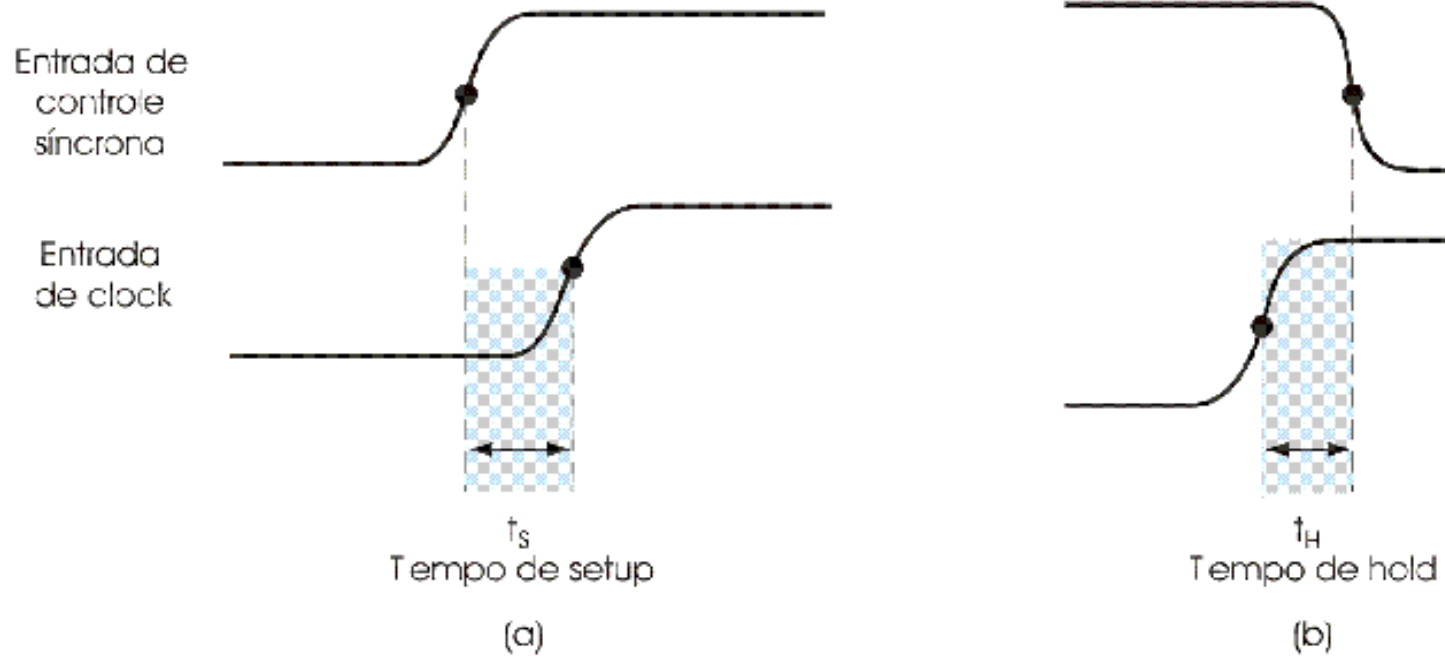
(a)



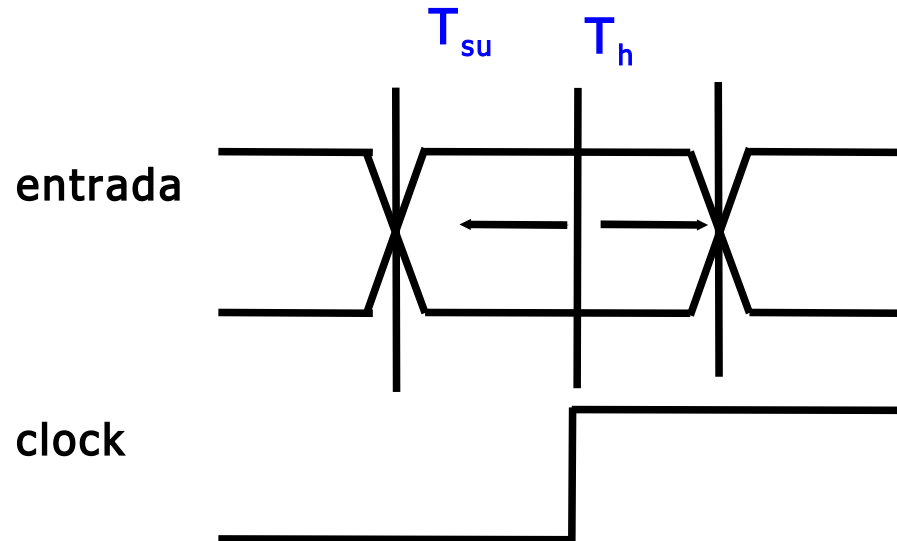
t_{PHL}
Atraso de programação de ALTO para BAIXO

(b)

Tempo de Setup e Hold

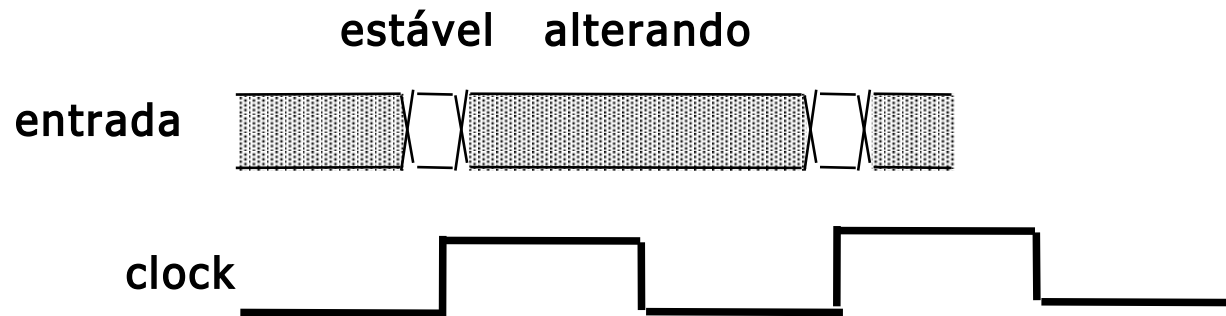
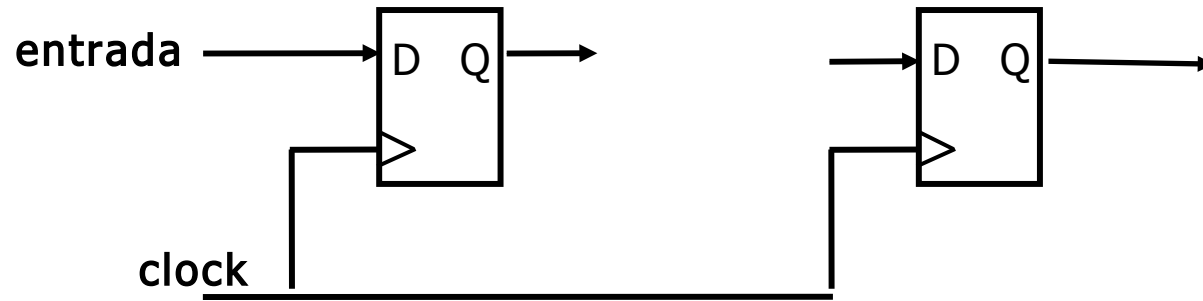


Temporização



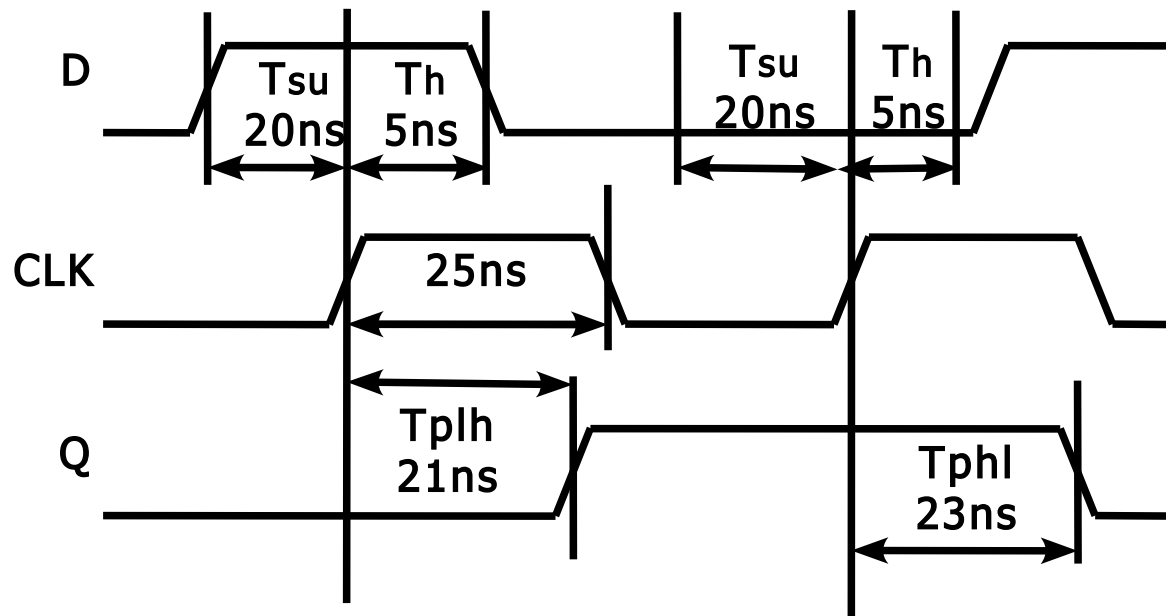
Existe uma “janela” de tempo em torno da subida ou descida do relógio durante a qual a entrada precisa permanecer estável e inalterada para que seja corretamente reconhecida.

Temporização



Especificações de Tempo Típicas

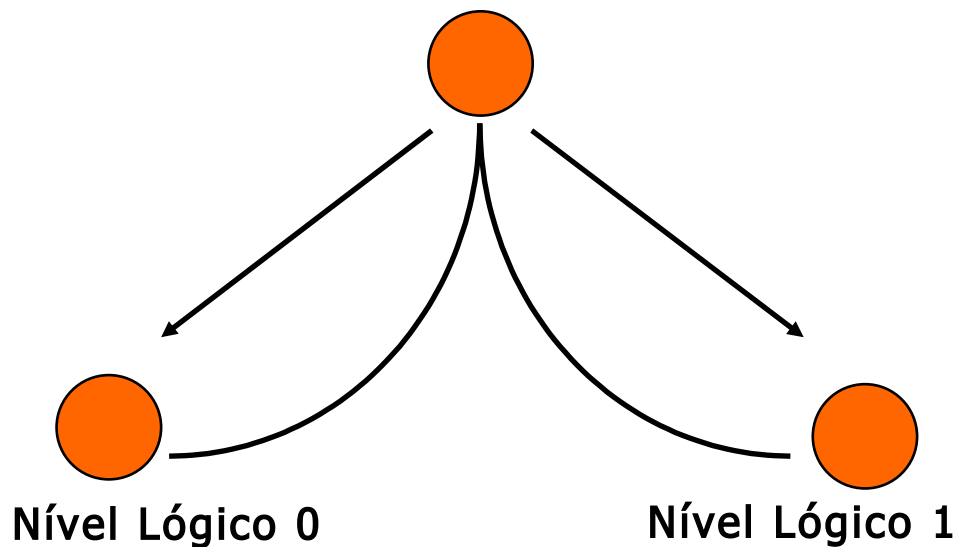
- Positive edge-triggered D flip-flop
 - Tempos de Setup e Hold
 - Largura de clock mínima
 - Retardos de propagação (0 para 1, 1 para 0, máximo e típico)



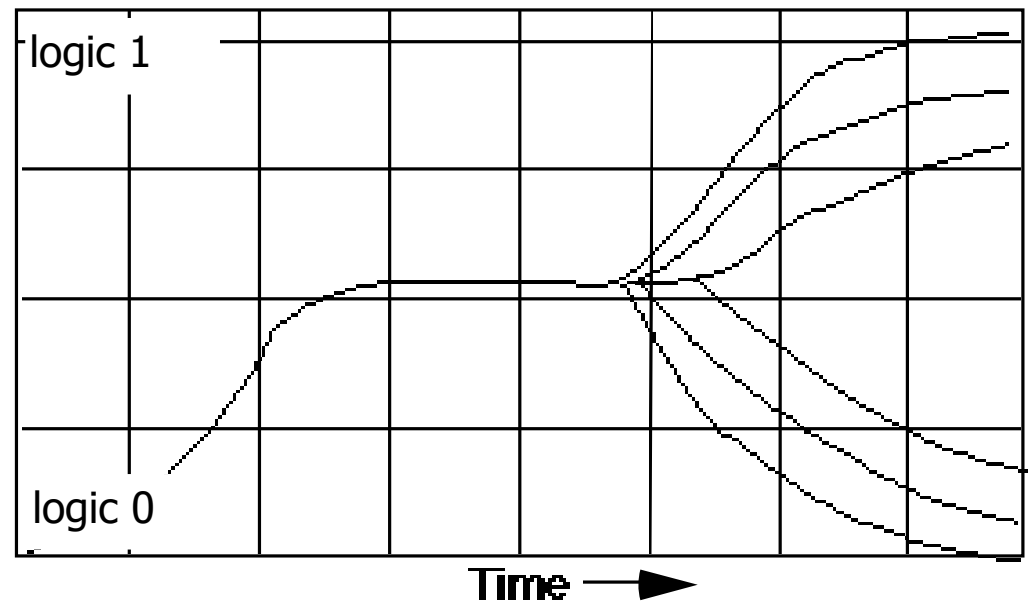
Todas as medidas são feitas a partir do evento de clock, isto é, a partir da borda de subida do clock

Falha de Sincronização

- ❑ Ocorre quando a entrada do flip-flop muda próximo à borda do clock
 - FF pode entrar num estado metaestável – nem 0 nem 1
 - FF pode permanecer neste estado indefinidamente



probabilidade baixa, mas não nula,
de que a saída do FF fique presa
em um estágio intermediário



gráficos no osciloscópio demonstrando
falha de sincronização e eventual
decaimento ao estado permanente

Lidando com a Falha de Sincronização

□ Probabilidade da falha não pode ser reduzida a 0, mas pode ser diminuída

- (1) desacelerar o clock do sistema: isto dá ao sincronizador mais tempo para entrar em um estado permanente; falha de sincronização se torna um grande problema para sistemas de alta velocidade
- (2) usar no sincronizador a tecnologia mais rápida possível
- (3) cascatear dois sincronizadores: isto efetivamente sincroniza duplamente

