

1. Em um sistema com dois processadores com cache, barramento, memória centralizada, com um esquema “write-back”, “write allocate” e “MESI”, a seguinte seqüência de operações ocorre em duas variáveis X e Y, pertencentes ao mesmo bloco da memória cache, com valores iniciais 50 e 60:
 - a) Leitura da variável Y pelo processador 1
 - b) Leitura da variável X pelo processador 2
 - c) Escrita do valor 20 na variável Y pelo processador 2
 - d) Escrita do valor 10 na variável X pelo processador 1

Qual o conteúdo da posição correspondente a variável X e Y na memória e nas caches de cada processador?

2. Quais as soluções utilizadas para acesso a região crítica por múltiplos processadores em ambiente com memória compartilhada.
3. Descreva as ações necessárias para satisfazer uma falha de escrita em um protocolo de coerência de cache baseado em diretório.
4. Descreva brevemente o protocolo LimitLESS de coerência de cache utilizado na máquina Alewife do MIT.
5. Em um sistema de cache distribuída por diretório com 256 processadores com memória cache de 32 Mbytes e tamanho de bloco de 64 bytes, calcule a quantidade de bits gasta para armazenar o diretório nos seguintes casos:
 - a) Diretório totalmente mapeado
 - b) Diretório limitado com 16 entradas
 - c) Diretório duplamente encadeado

6. Cada linha dos diagramas abaixo mostra, na ordem do programa, leituras e escritas disparadas por um processador. A letra em parênteses indica o endereço, o valor escrito é mostrado com uma seta. A posição indica a ordem em um processador, mas não necessariamente o tempo ou a ordem entre processadores. Antes de o código ser executado a variável **a** possui o valor **1**, **b** possui o valor **2**, **c** possui o valor **3** e a variável **e** possui o valor **4**. Depois disso, a memória nesses endereços é modificada apenas pelas escritas mostradas abaixo. Indique os valores retornados pelas leituras que poderiam ocorrer em um sistema com consistência de memória seqüencial. Indique os valores retornados pelas leituras e escritas que podem ocorrer em um sistema com consistência de memória seqüencial. Escreva os valores junto das leituras.

Proc. 1: W(a) ← 11 W(b) ← 12 R(c) W(e) ← 14
Proc. 2: R(b) R(a) R(e) W(c) ← 13 R(b)

Indique os valores retornados pelas leituras que poderiam ocorrer em um sistema com memória com consistência de processador (“total store ordering”) mas não em um sistema com consistência de memória seqüencial

Proc. 1: W(a) ← 11 W(b) ← 12 R(c) W(e) ← 14
 Proc. 2: R(b) R(a) R(e) W(c) ← 13 R(b)

Indique os valores retornados pelas leituras que poderiam ocorrer em um sistema de memória com ordenamento parcial de escrita (“partial store ordering”) mas não em um sistema com consistência de processador.

Proc. 1: W(a) ← 11 W(b) ← 12 R(c) W(e) ← 14
 Proc. 2: R(b) R(a) R(e) W(c) ← 13 R(b)

7. Considere a seguinte modificação no algoritmo de coerência de cache por diretório apresentado em sala de aula: em uma escrita a um bloco compartilhado no estado compartilhado (“shared”), ao invés de invalidar as cópias compartilhadas, o protocolo envia um novo valor para cada cache contendo uma cópia. O sistema de memória sob este protocolo estará coerente? Caso ache que não, forneça um exemplo.
8. Uma operação de “lock” é implementada em sistema multiprocessador, quando ocorre a liberação da variável de sincronização, todos os demais processadores fazem acesso à mesma posição de memória para tentar obter o “lock”, gerando um “hot spot” na rede de interconexão e no sistema de memória. Como isto pode ser evitado?
9. A consistência seqüencial, assim como definido por Lamport, diz que “um sistema é seqüencialmente consistente se o resultado de qualquer execução é a mesma como se as operações de todos os processadores fossem executadas em alguma ordem seqüencial, e as operações de cada processador individualmente aparecessem na ordem especificada pelo seu programa”. Liste as três condições suficientes para que haja consistência seqüencial em um sistema multiprocessador. (Sugestão: uma delas indica a ordem em que os processadores podem fazer pedidos e as outras duas referem-se à atomicidade de escrita).
10. Descreva como as duas condições de atomicidade de escrita são satisfeitas nos seguintes casos:
 - a) Um protocolo de cache baseado em “snoopy” com um barramento com acessos atômicos.
 - b) Um protocolo de cache baseado em “snoopy” com um barramento com “split-transactions”
11. Um protocolo baseado em diretório em multiprocessador com memória distribuída. Monte uma tabela mostrando os relaxamentos ($W \rightarrow W$, $R \rightarrow W$, etc) em relação ao modelo de consistência seqüencial para os seguintes modelos:
 - a) Partial Store Ordering
 - b) Ordenação Fraca
 - c) Release Consistency
12. Cite três técnicas utilizadas para diminuir o “overhead” de “software” no sistemas de comunicação por troca de mensagem.
13. Quais as diferenças entre comunicação síncrona e assíncrona?
14. Quais as diferenças entre comunicação assíncrona bloqueante e não bloqueante?