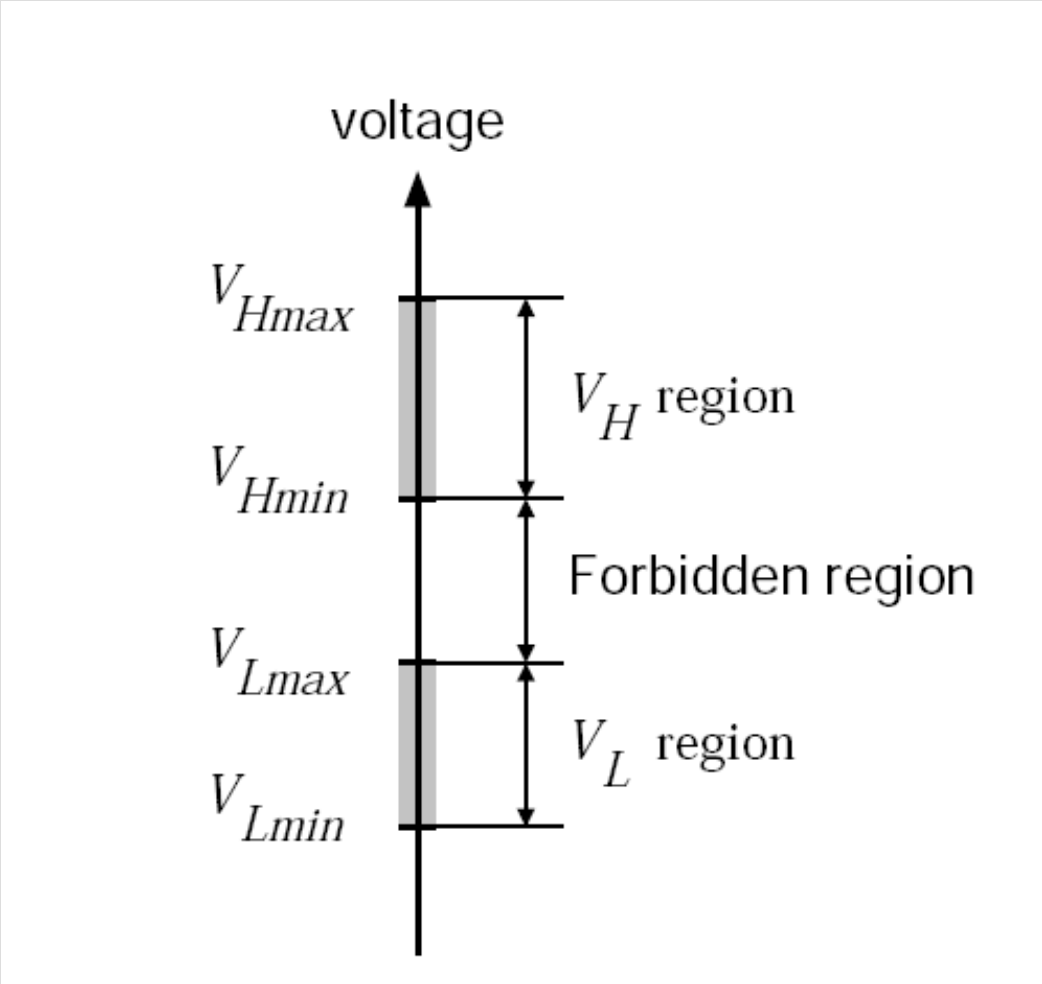
Portas Lógicas

Circuitos Lógicos

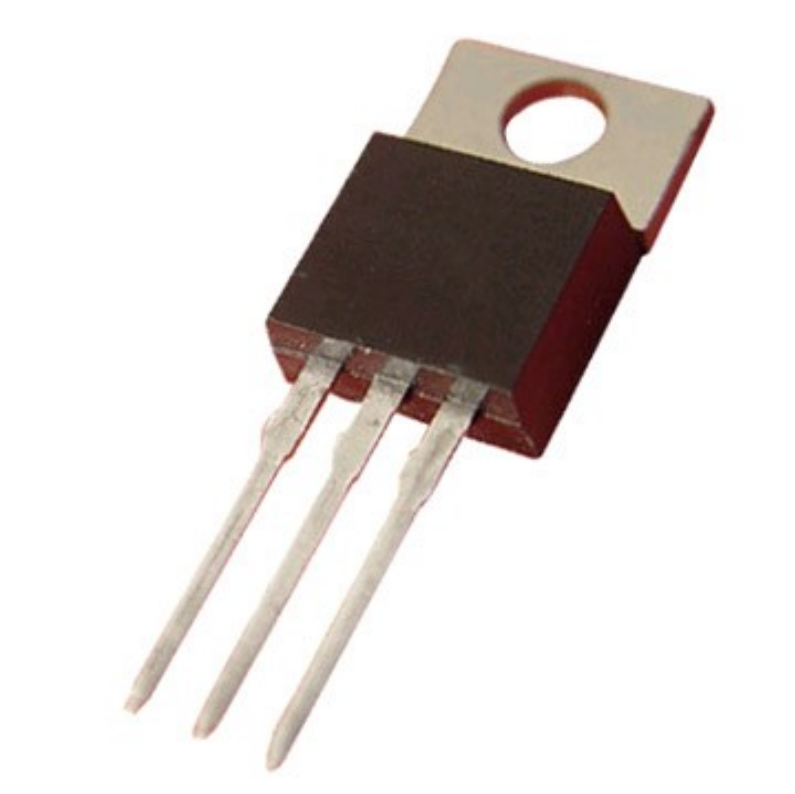
DCC-IM/UFRJ

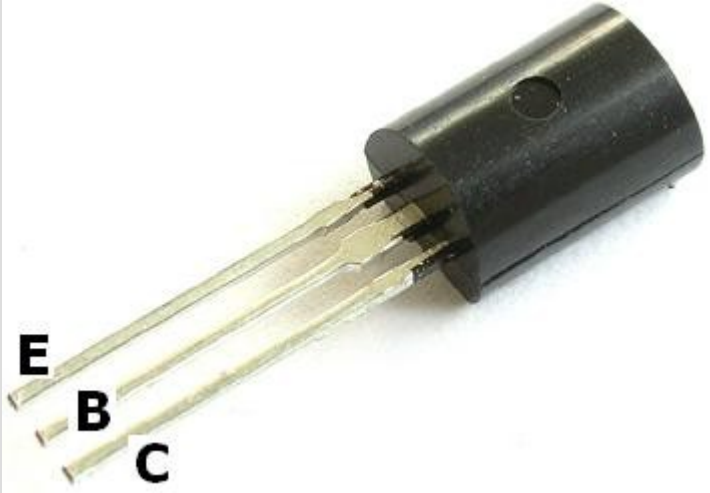
Prof. Gabriel P. Silva

Níveis Lógicos



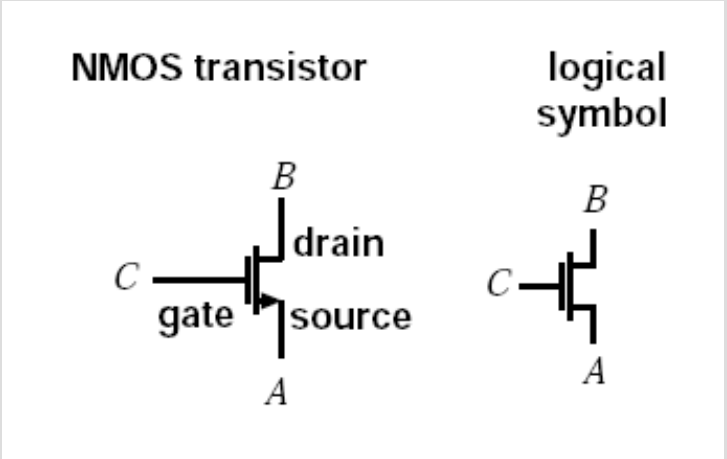
Transistores



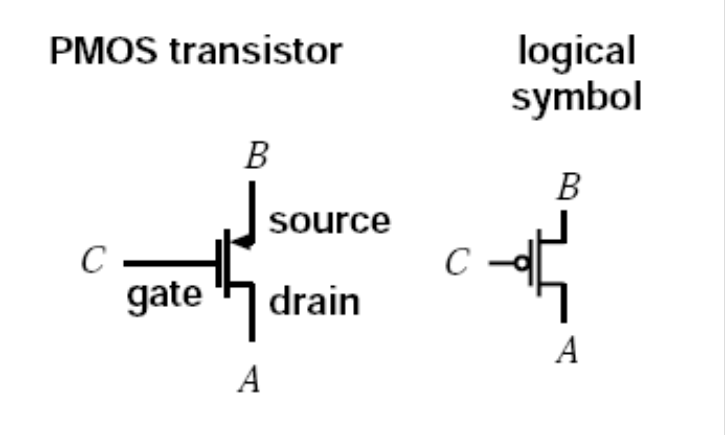


Transistores CMOS

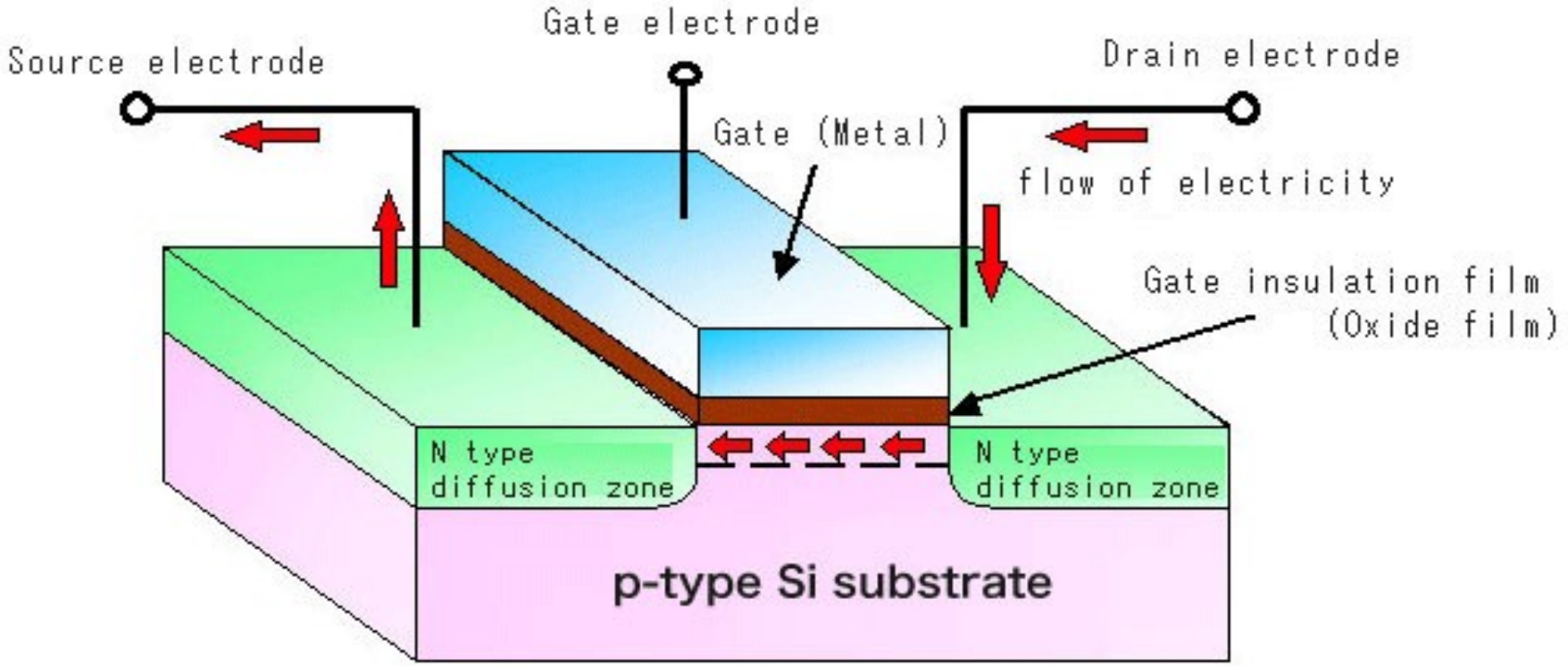
O Transistor CMOS pode ser do tipo N, e apresenta baixa resistência entre dreno e fonte (conduz) quando uma tensão positiva é aplicada à sua porta.



O Transistor CMOS pode ser do tipo P, e apresenta baixa resistência entre dreno e fonte (conduz) quando uma tensão negativa é aplicada à sua porta.

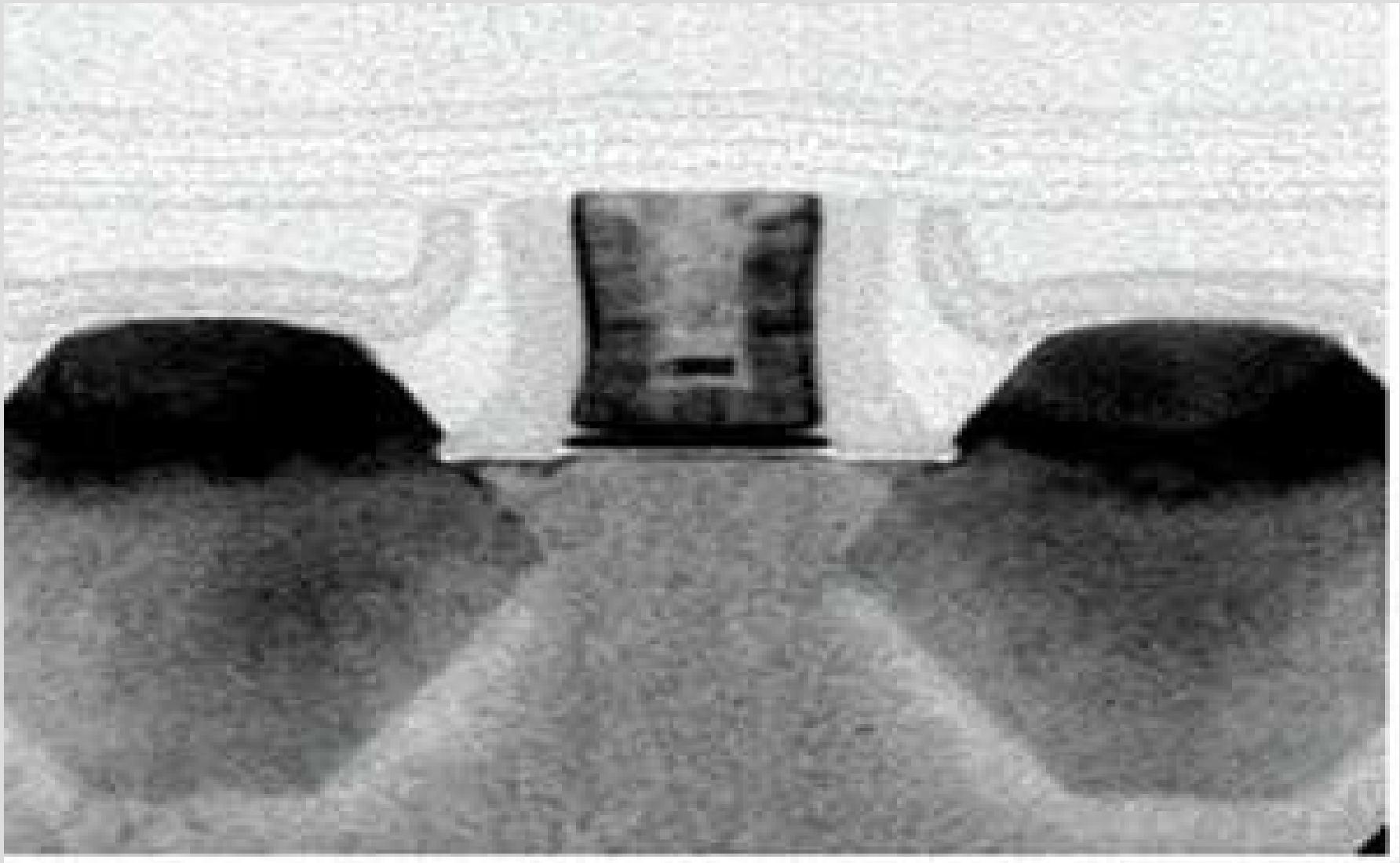


Transistores CMOS

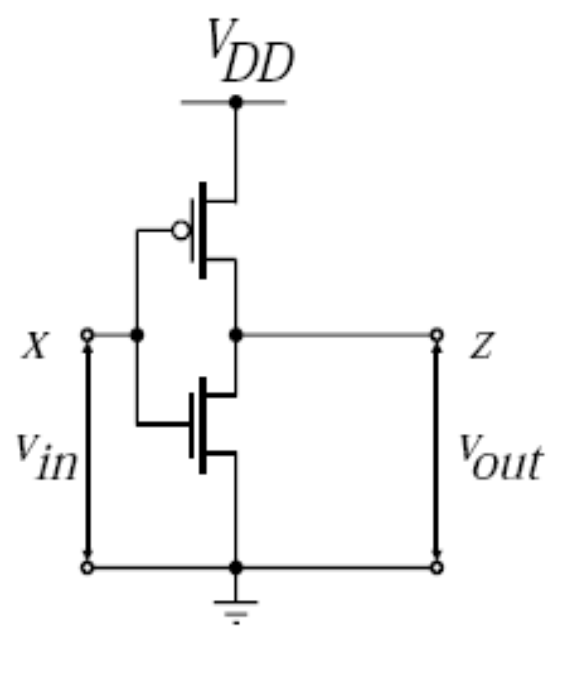


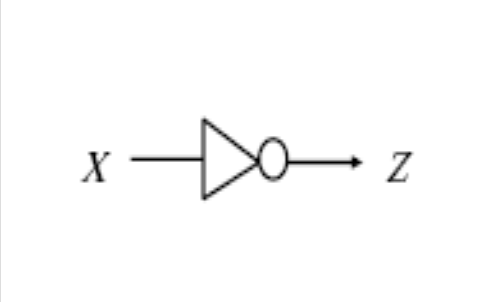
Construction of MOSFET

Transistores CMOS
45 nm



Inversor

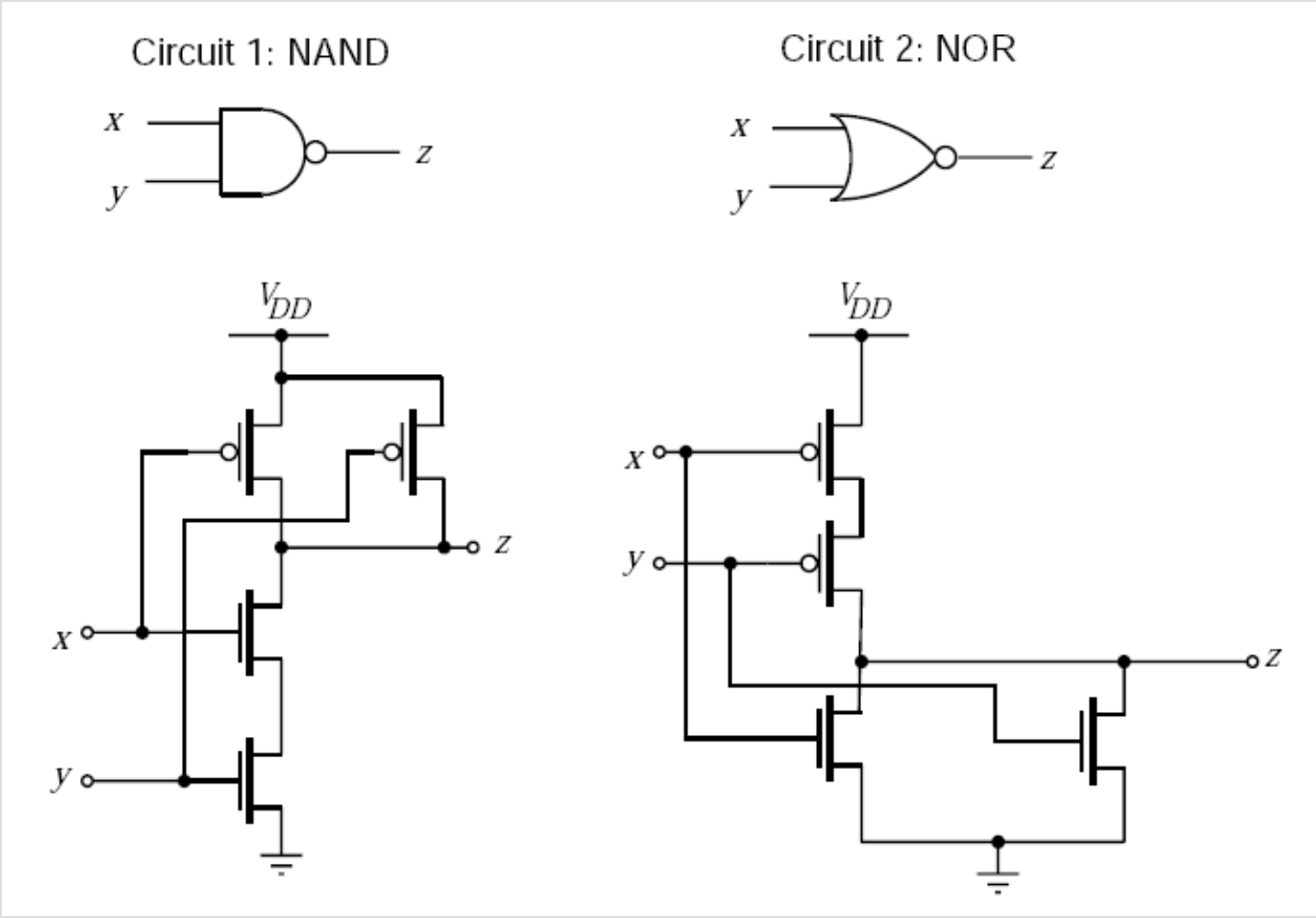




X	Z
1	0
0	1

- **O inversor é construído com o uso de um transistor do tipo P e outro do tipo N. Quando se aplica o mesmo sinal à ambas portas, um dos transistores estará conduzindo (baixa resistência) enquanto o outro estará aberto (alta resistência).**

Portas NAND e NOR



Portas AND e OR

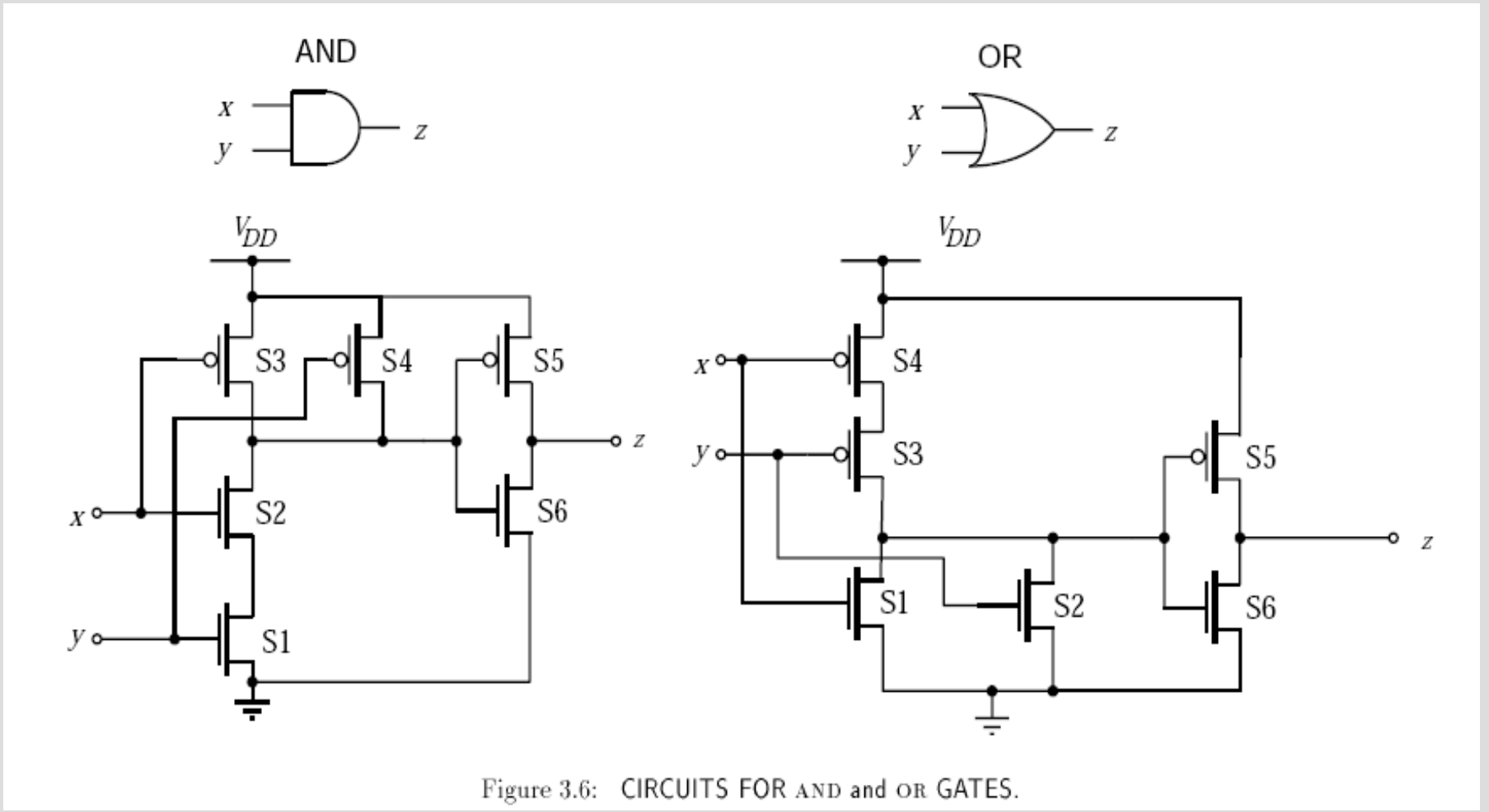
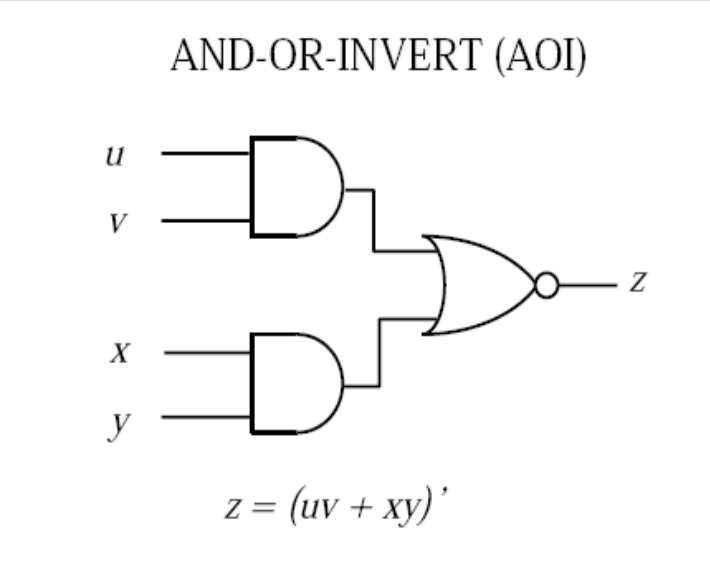
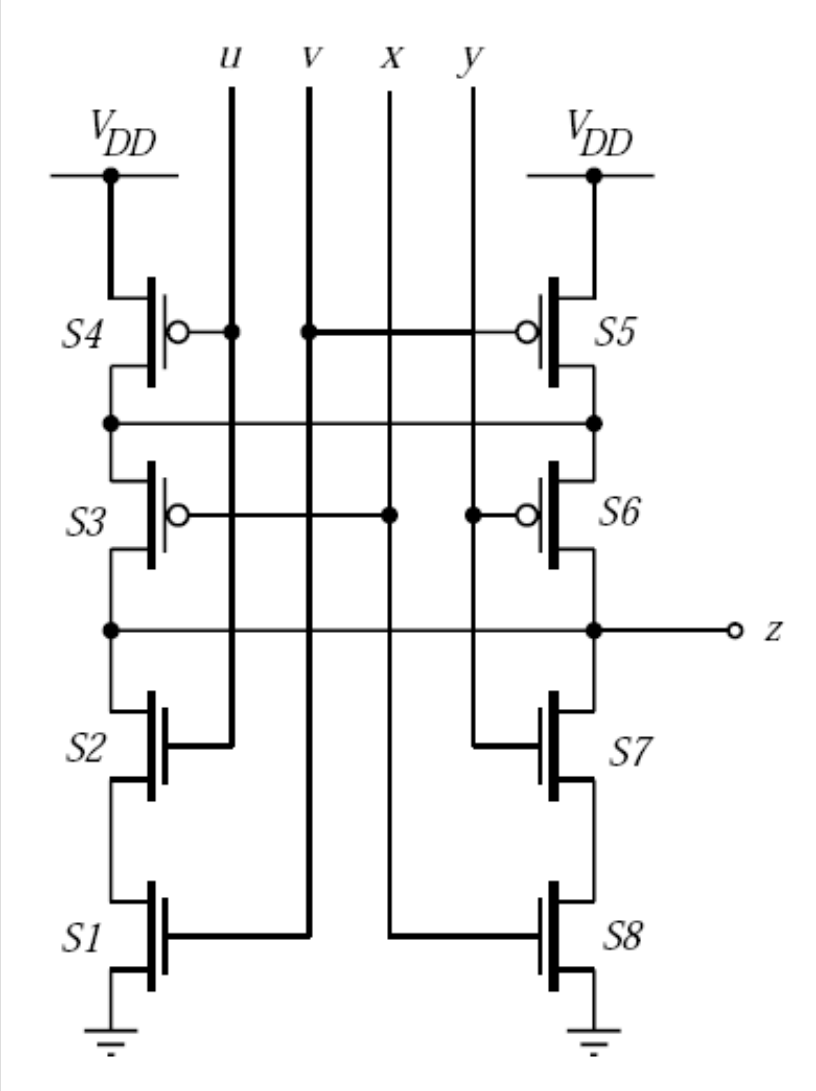


Figure 3.6: CIRCUITS FOR AND and OR GATES.

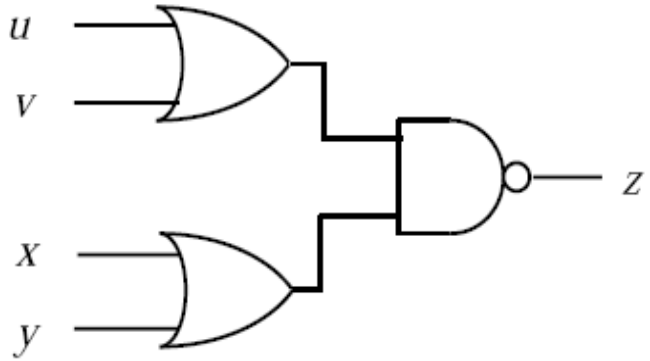
Portas AND-OR-INVERTER



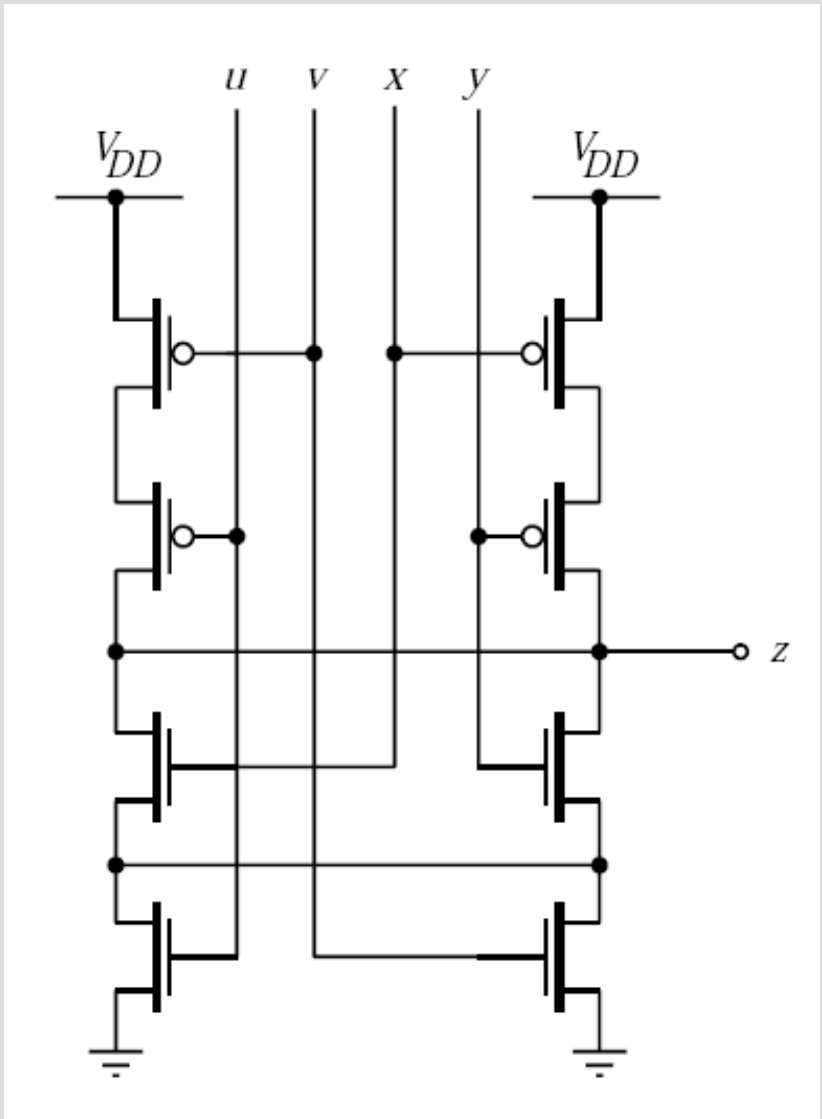


Portas OR-AND-INVERTER

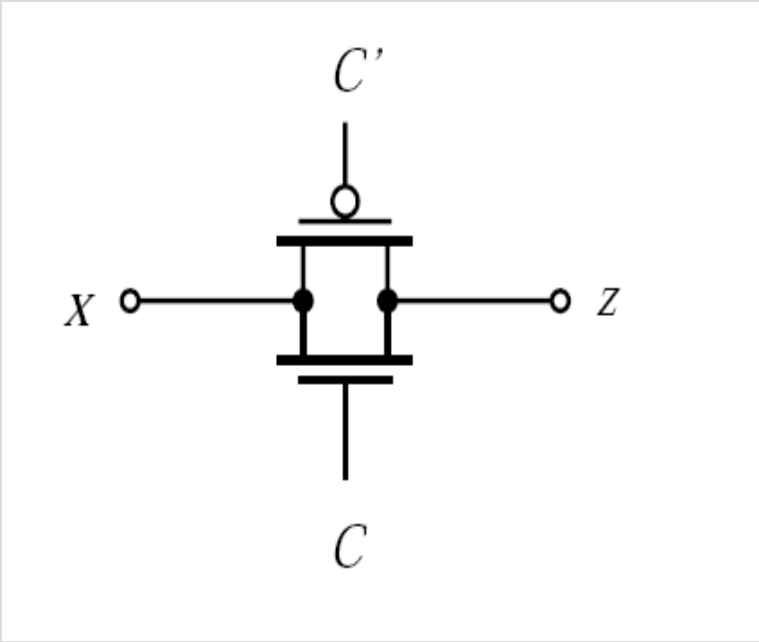
OR-AND-INVERT (OAI)



$z = [(u+v)(x+y)]'$



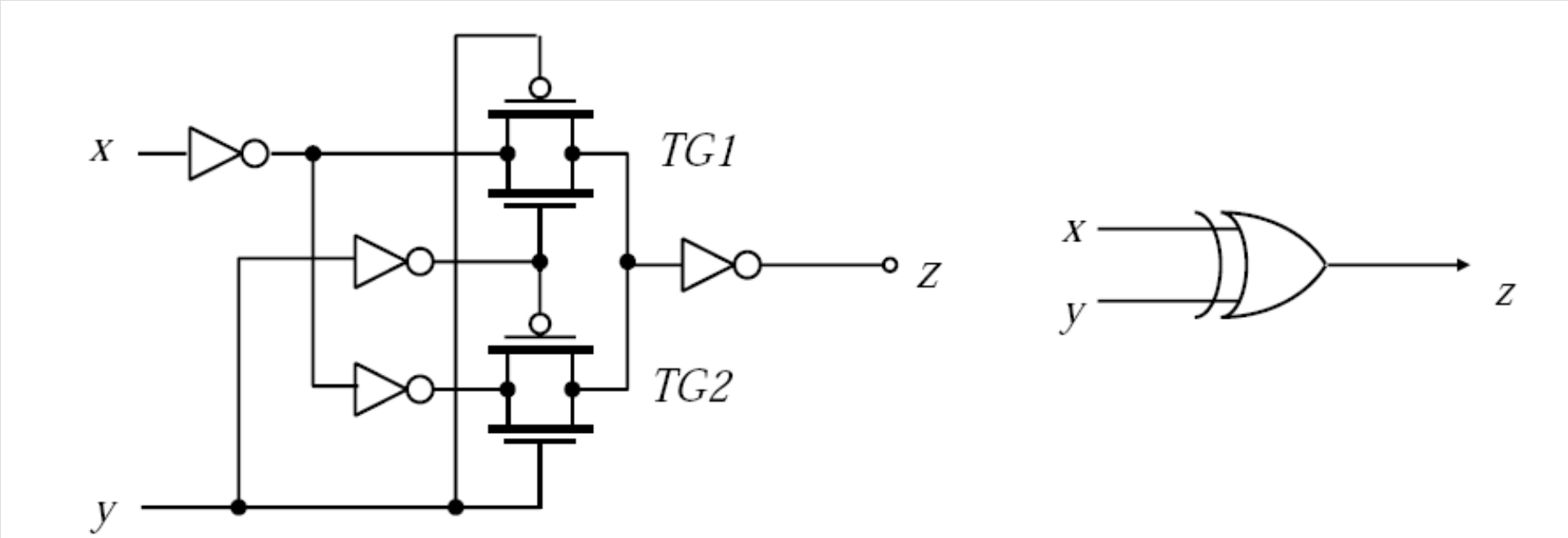
Porta de Passagem



C	n-switch	p-switch	z
0	off	off	Z
1	on	on	x

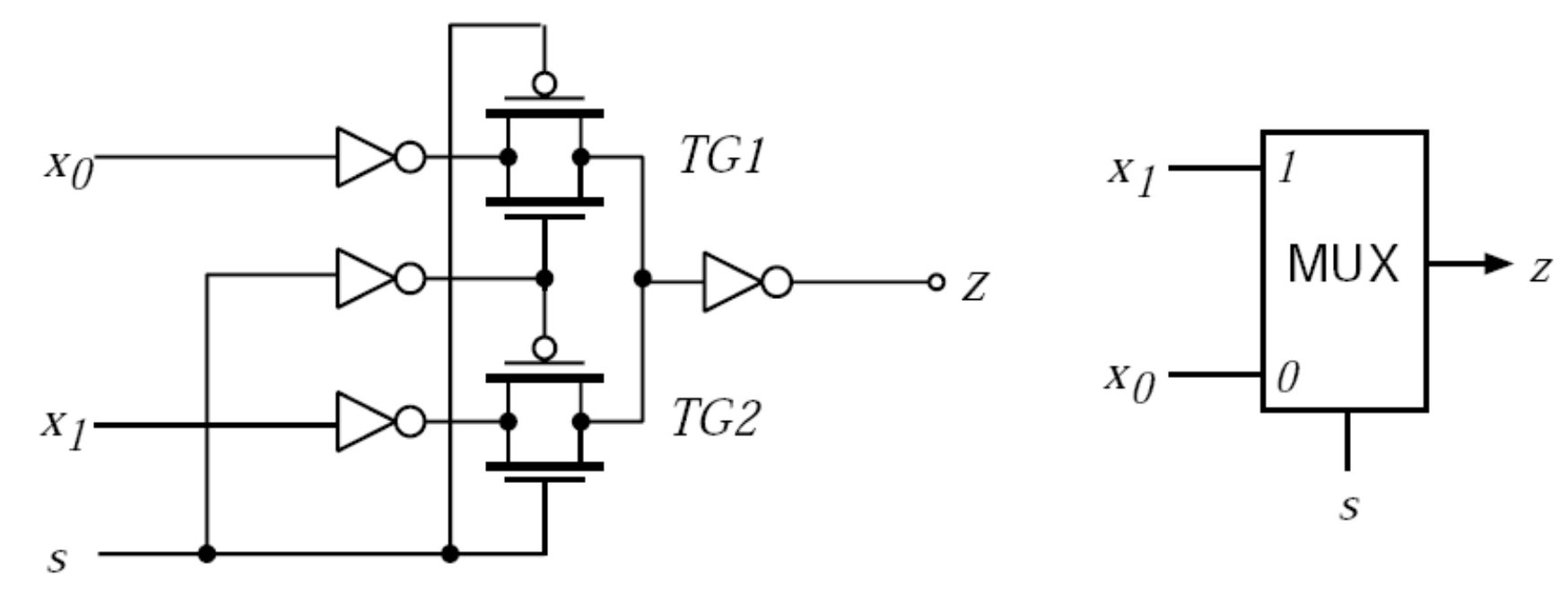
Z - high impedance state

Ou - Exclusivo com Porta de Passagem



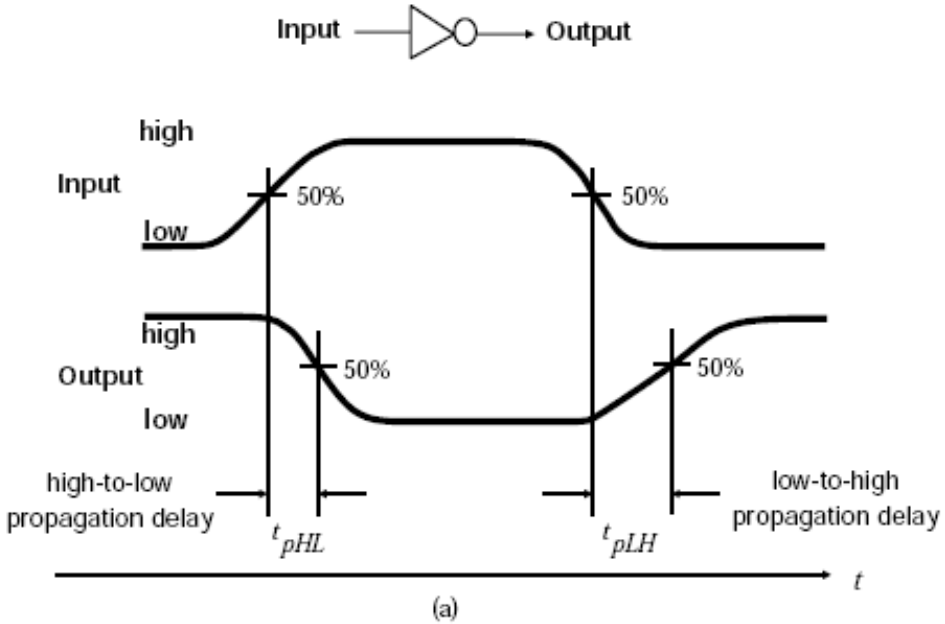
y	$TG1$	$TG2$	z
0	ON	OFF	x
1	OFF	ON	x'

Multiplexador com Porta de Passagem

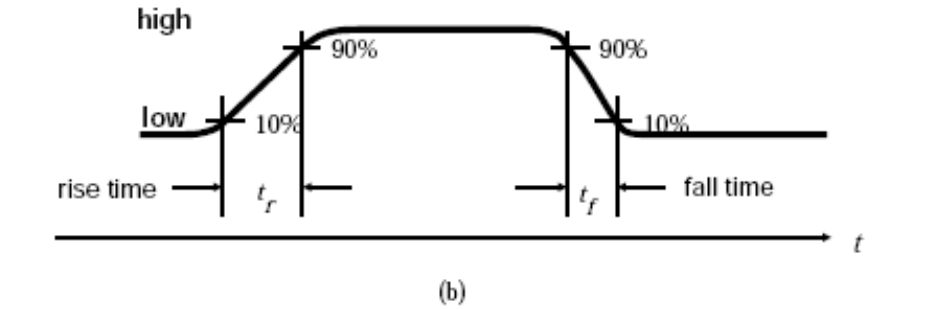


s	$TG1$	$TG2$	z
0	ON	OFF	x_0
1	OFF	ON	x_1

Parâmetros de Temporização

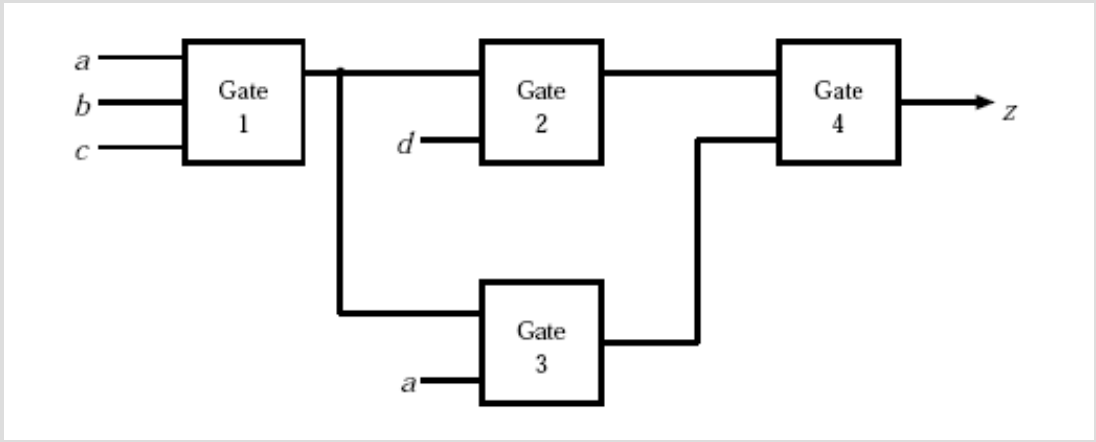


Atraso de Progação Tp_{LH} e Tp_{HL}

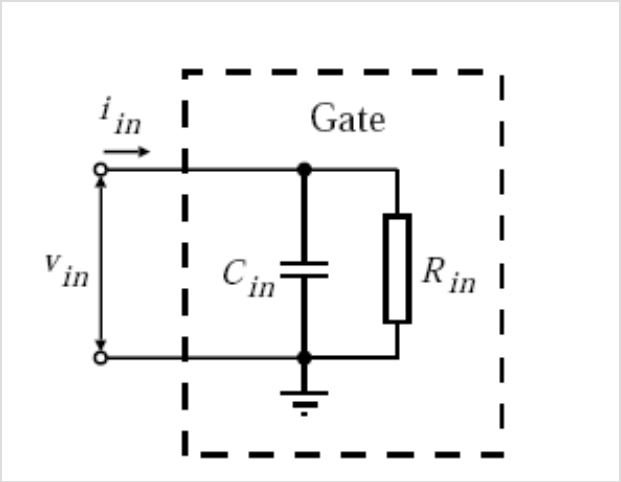


Tempo de Subida e Descida

Efeito da Carga

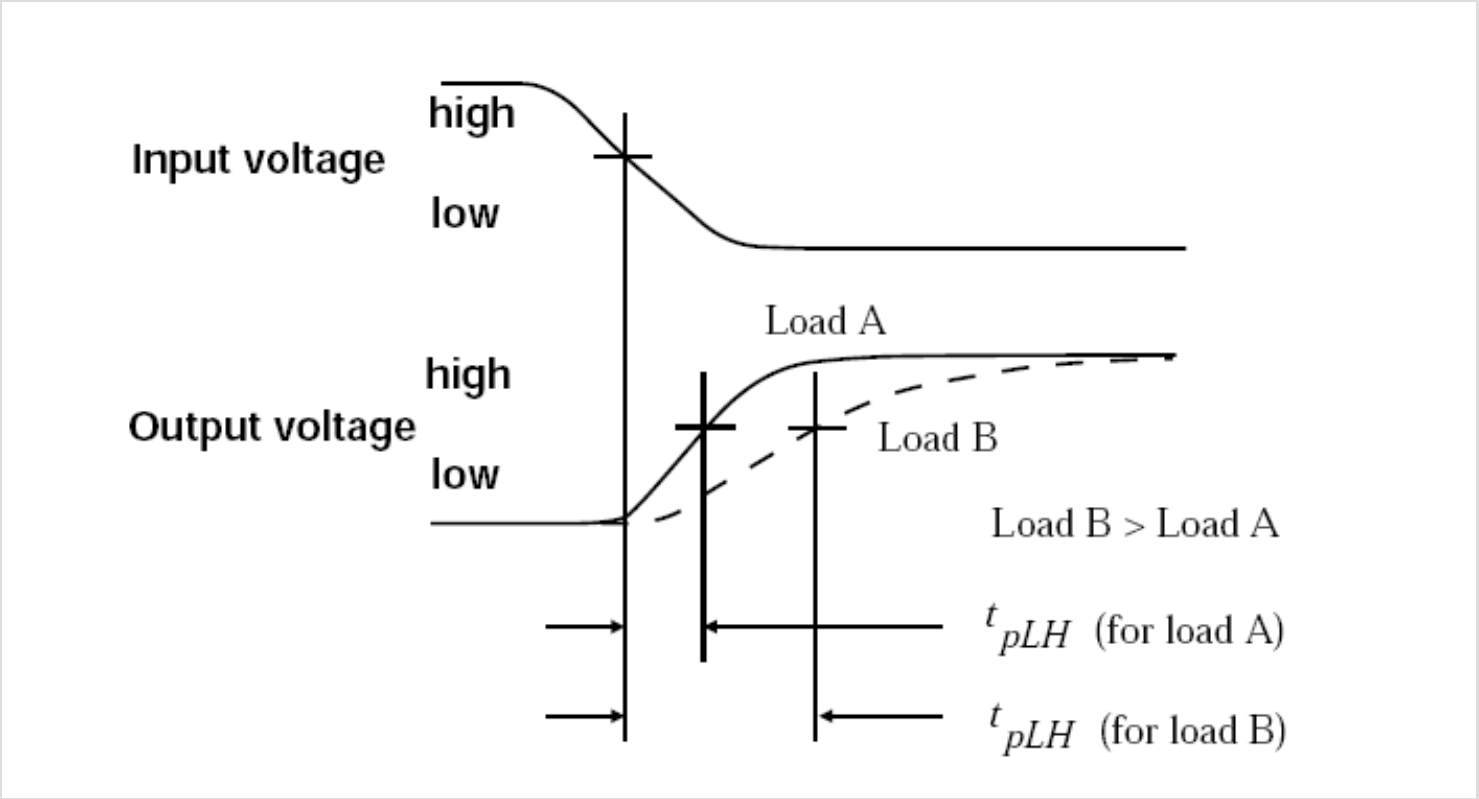


Rede de portas lógicas



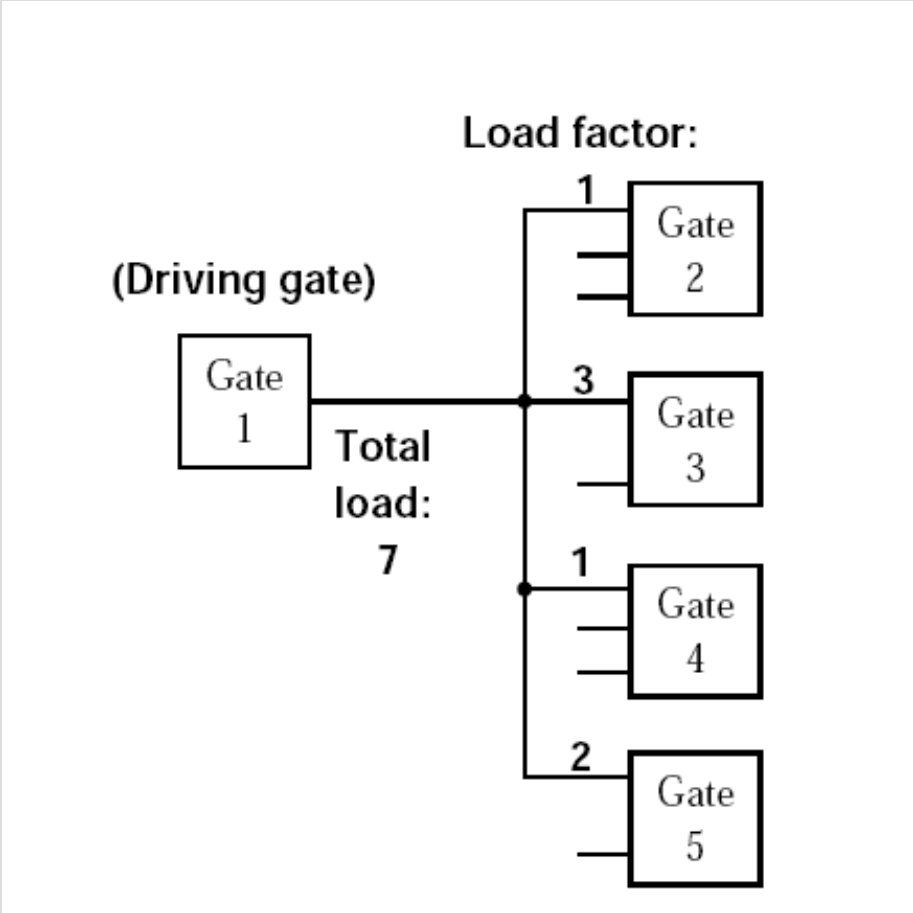
Circuito equivalente de uma entrada de porta lógica

Efeito da Carga no Tempo de Propagação



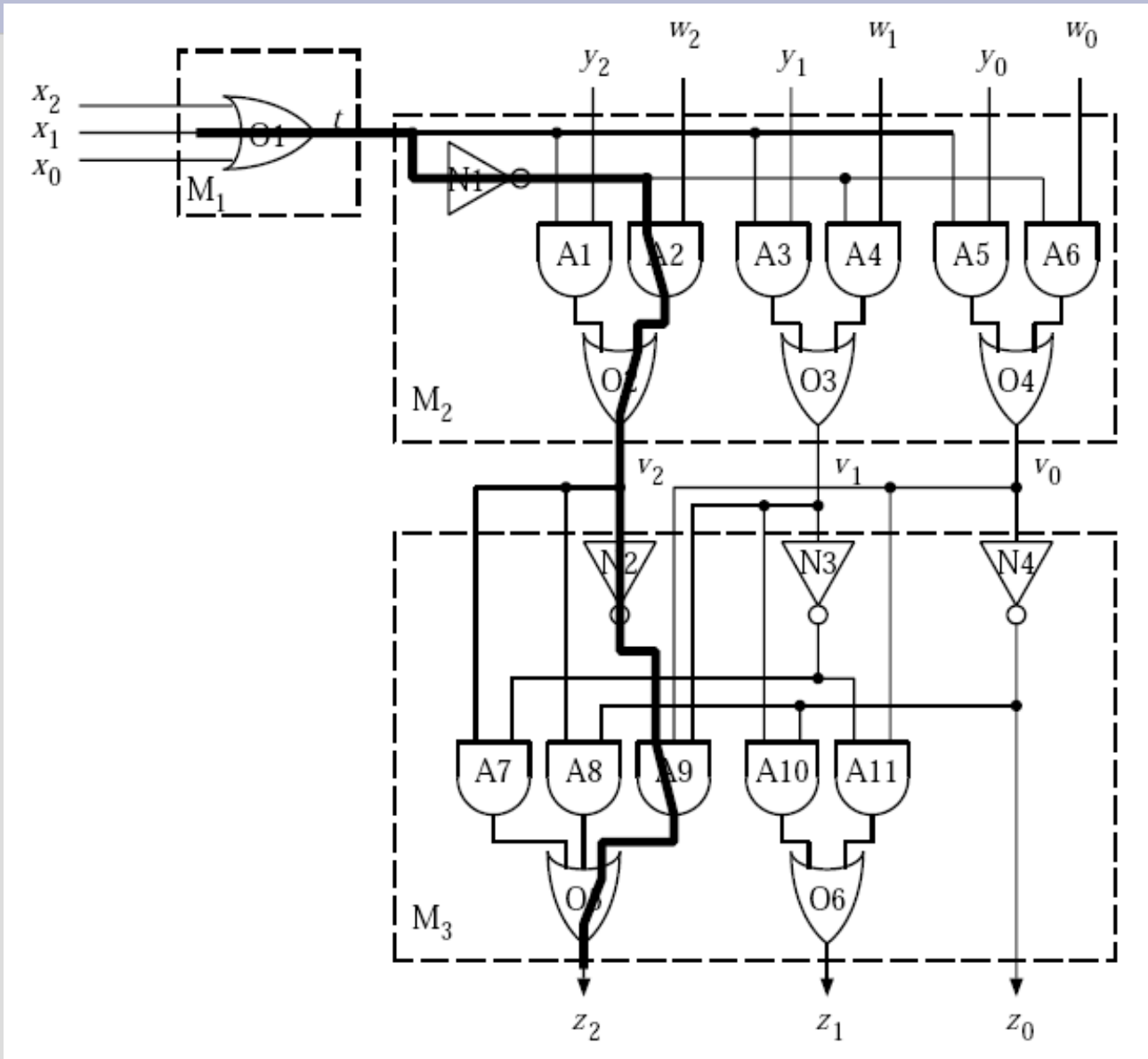
Com o aumento da carga o tempo de propagação tende a aumentar.

Fator de Carga e Carga Total



A carga total da saída de uma porta lógica é a soma do fator de carga das entradas das portas lógicas ligadas nesta saída.

Atraso Máximo em uma Rede de Portas



Atraso Máximo

$$O_1 \rightarrow N_1 \rightarrow A_2 \rightarrow O_2 \rightarrow N_2 \rightarrow A_9 \rightarrow O_5$$

$$\begin{aligned} T_{pLH}(x_1, z_2) &= t_{pLH}(O_1) + t_{pHL}(N_1) + t_{pHL}(A_2) + t_{pHL}(O_2) \\ &\quad + t_{pLH}(N_2) + t_{pLH}(A_9) + t_{pLH}(O_5) \\ T_{pHL}(x_1, z_2) &= t_{pHL}(O_1) + t_{pLH}(N_1) + t_{pLH}(A_2) + t_{pLH}(O_2) \\ &\quad + t_{pHL}(N_2) + t_{pHL}(A_9) + t_{pHL}(O_5) \end{aligned}$$

Atraso Máximo

Gate	Identifier	Output load	t_{pLH} [ns]	t_{pHL} [ns]
OR3	O_1	4	0.27	0.43
NOT	N_1	3	0.13	0.10
AND2	A_2	1	0.19	0.18
OR2	O_2	3	0.23	0.26
NOT	N_2	1	0.06	0.07
AND3	A_9	1	0.24	0.20
OR3	O_5	L	$0.12 + 0.038L$	$0.34 + 0.022L$

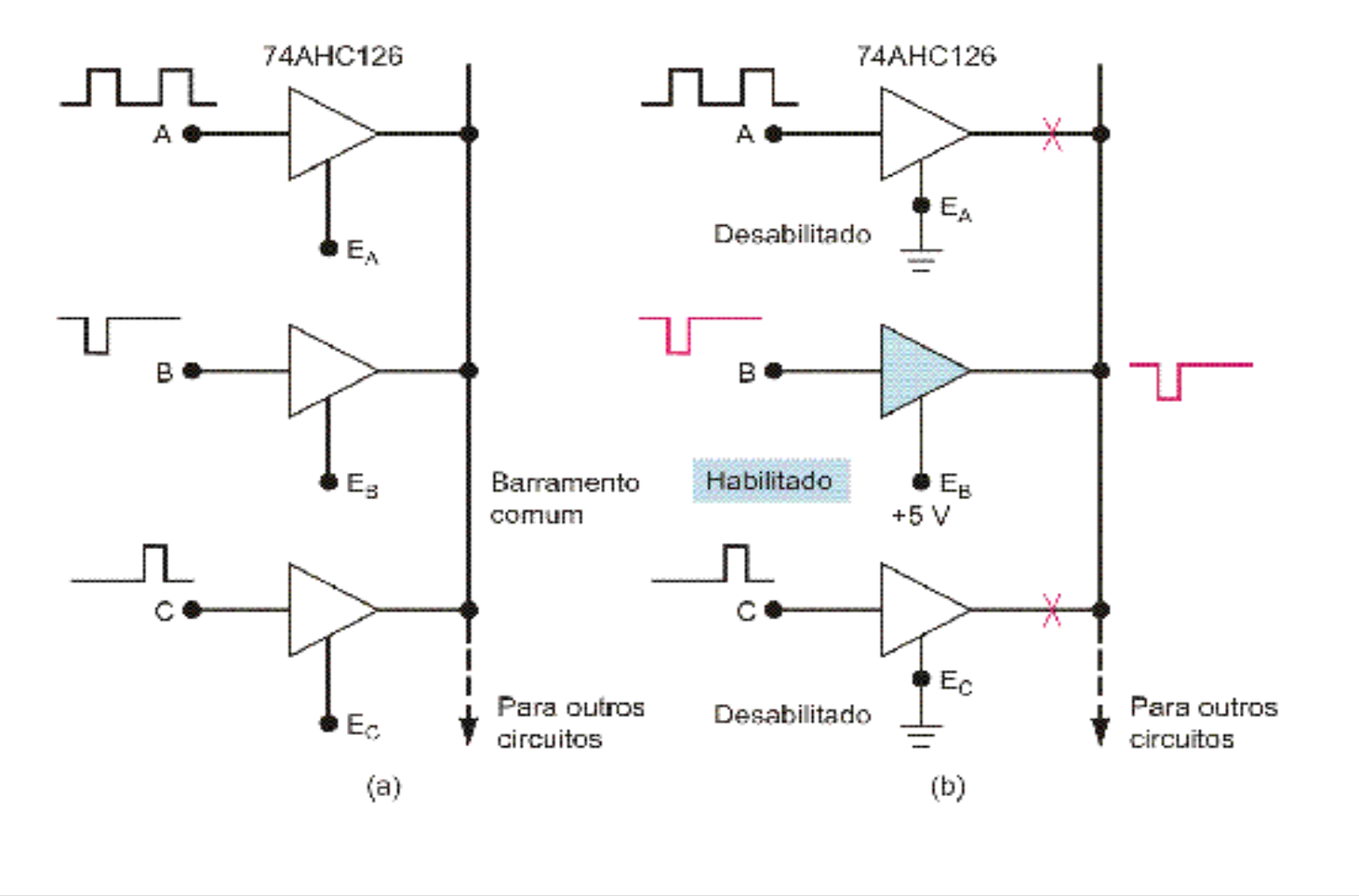
Atraso Máximo

$$
\begin{aligned}
T_{pLH}(x_1, z_2) &= 0.27 + 0.10 + 0.18 + 0.26 + 0.06 \\
&\quad +0.24 + 0.12 + 0.038L = 1.23 + 0.038L \ [\text{ns}] \\
T_{pHL}(x_1, z_2) &= 0.43 + 0.13 + 0.19 + 0.23 + 0.07 \\
&\quad +0.20 + 0.34 + 0.022L = 1.59 + 0.022L \ [\text{ns}]
\end{aligned}
$$

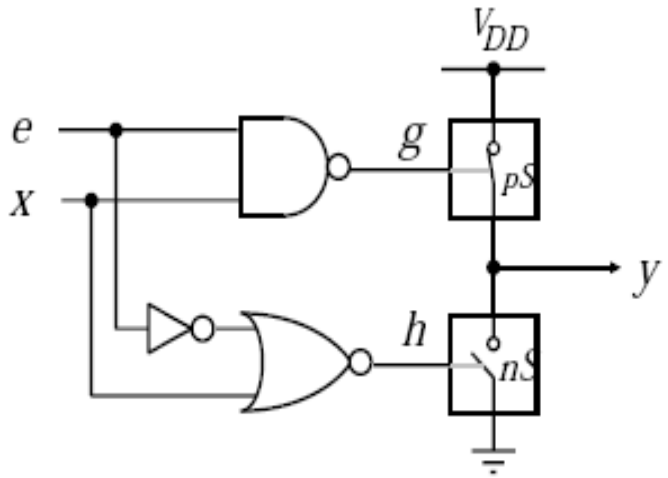
O Terceiro Estado (Z)

- Além dos níveis lógicos ´0´ e ´1´, um circuito digital pode apresentar ainda um "terceiro estado".
- É o chamado estado de "alta impedância", onde a saída não contribui nem para o nível alto, nem para o nível baixo.
- Deste modo, a saída de diversas portas podem ser ligadas simultaneamente a um mesmo ponto, desde que esteja garantido que APENAS UMA deles não esteja no estado de alta impedância.

Barramento com Buffers 3-State



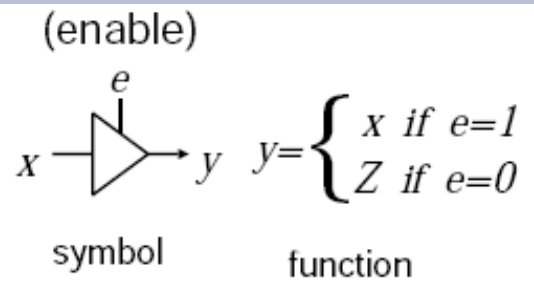
Buffer com Três Estados



three-state circuit

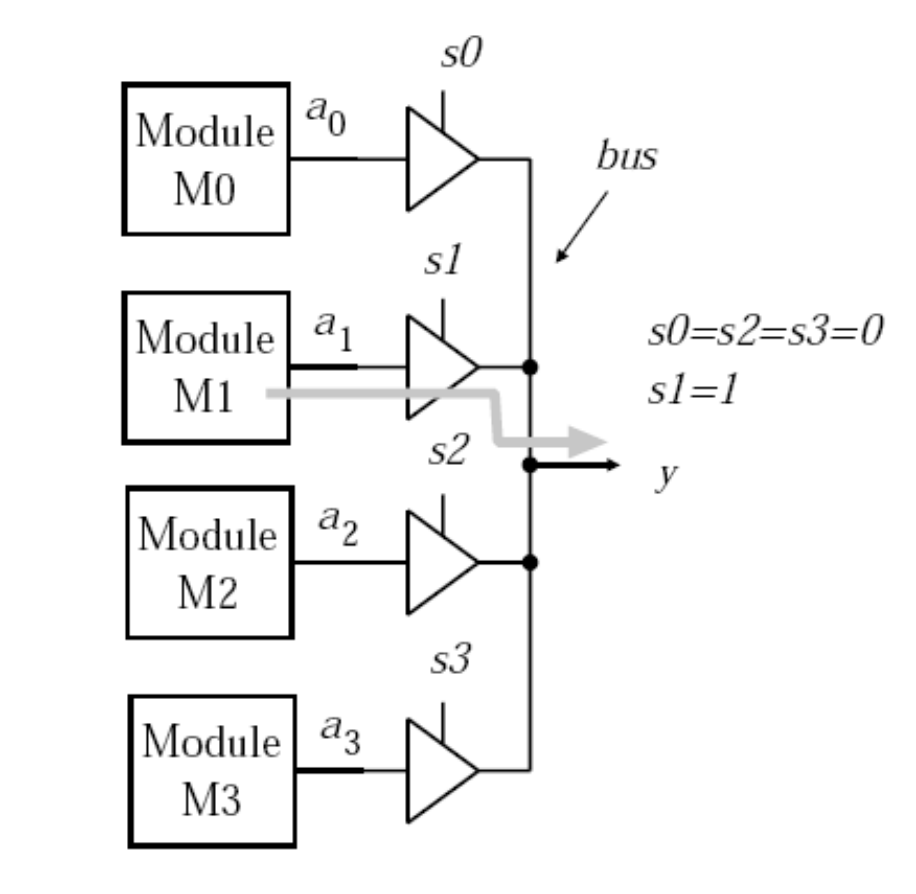
e	x	g	h	pS	nS	y
0	0	1	0	open	open	Z
0	1	1	0	open	open	Z
1	0	1	1	open	closed	0
1	1	0	0	closed	open	1

three-state circuit operation



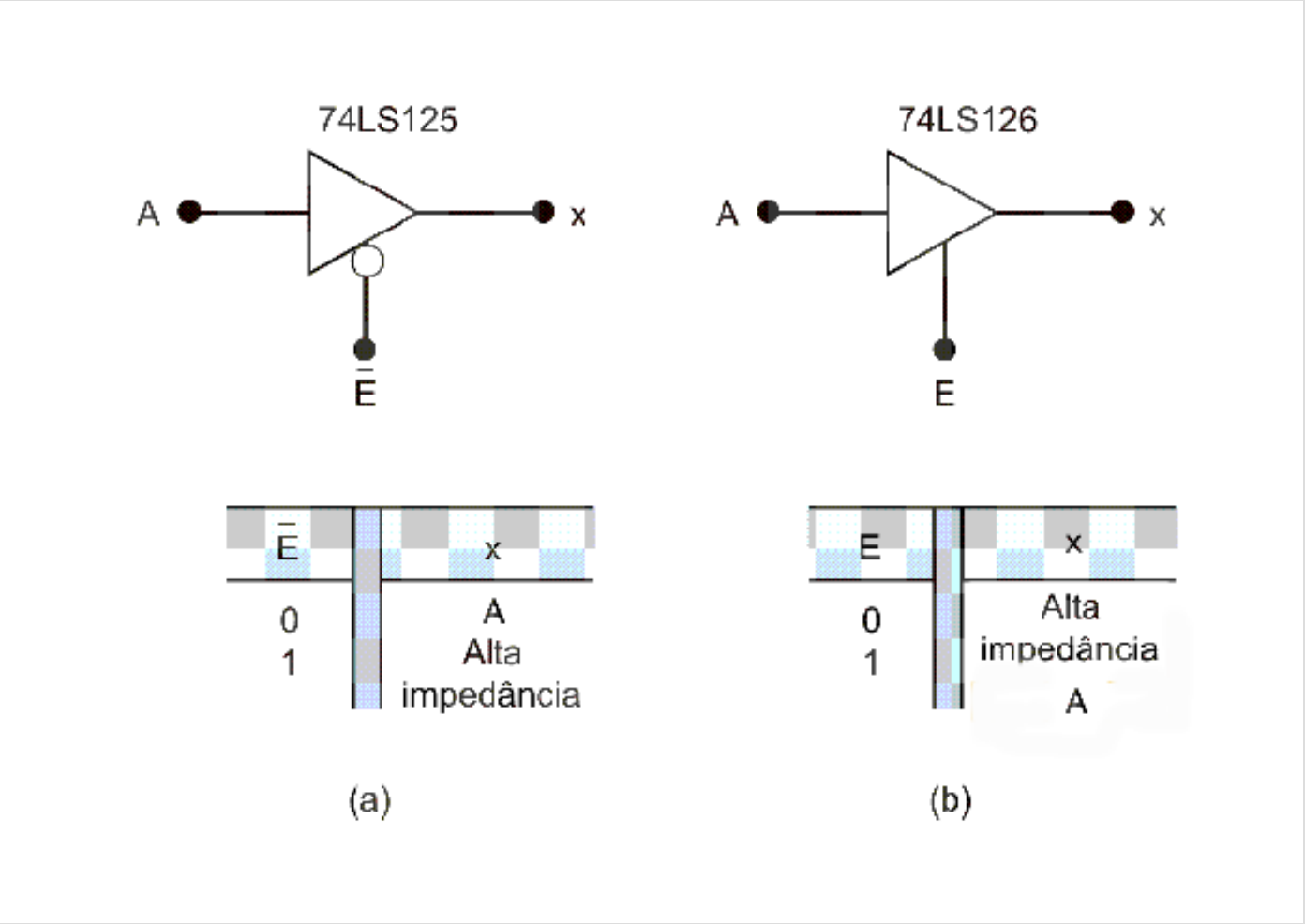
O buffer com três estados possui um terceiro estado, chamado de alta impedância, no qual a sua saída está eletricamente desconectada, ou seja, a saída não está ligada nem ao nível alto (Vdd) nem ao nível baixo (Terra).

Buffer com Três Estados

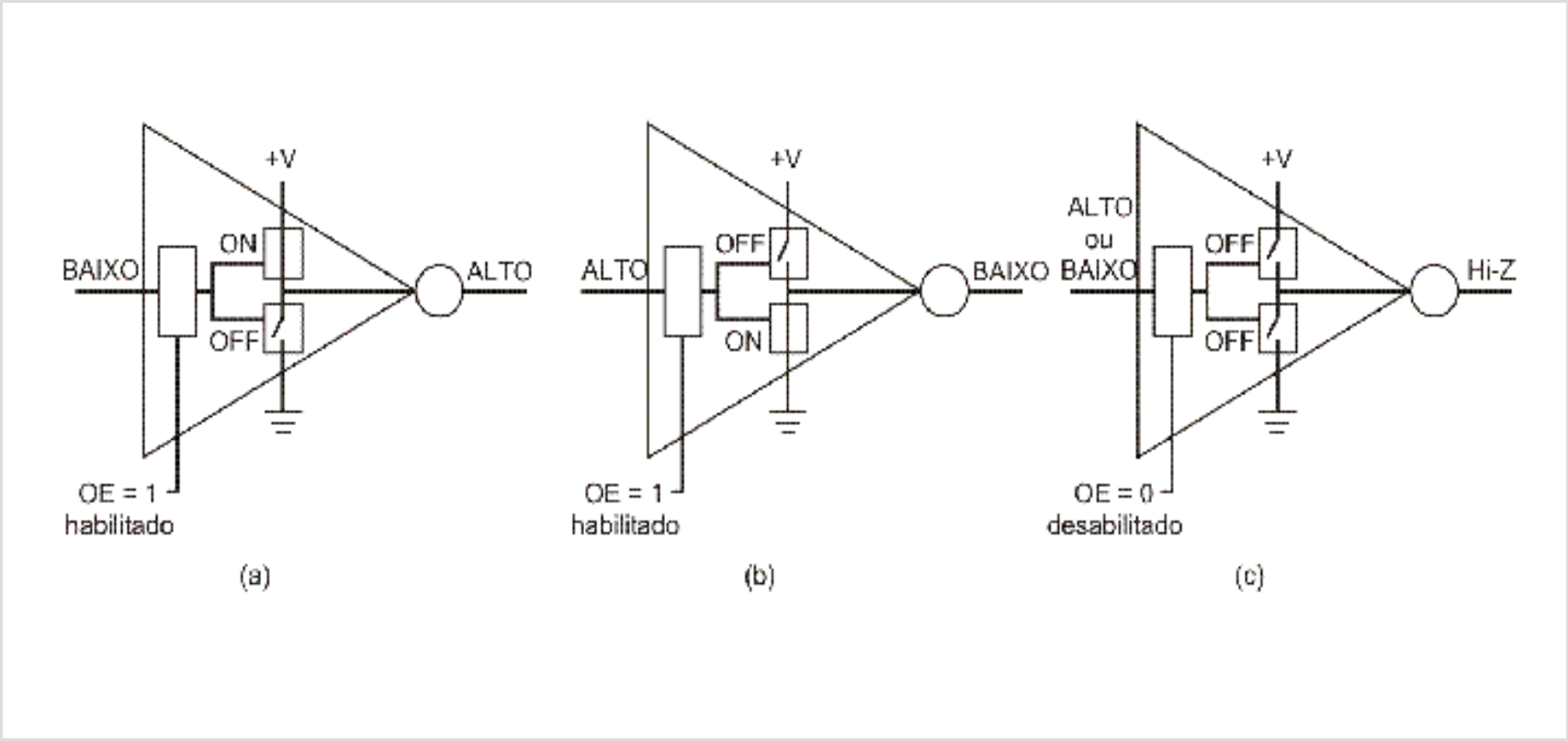


- **O buffer com três estados é utilizado quando desejamos ligar vários sinais em um único ponto, como ocorre, por exemplo, nos barramentos, onde vários módulos compartilham as mesmas linhas para transmitir informação.**

Buffers Tri-State Não Inversores

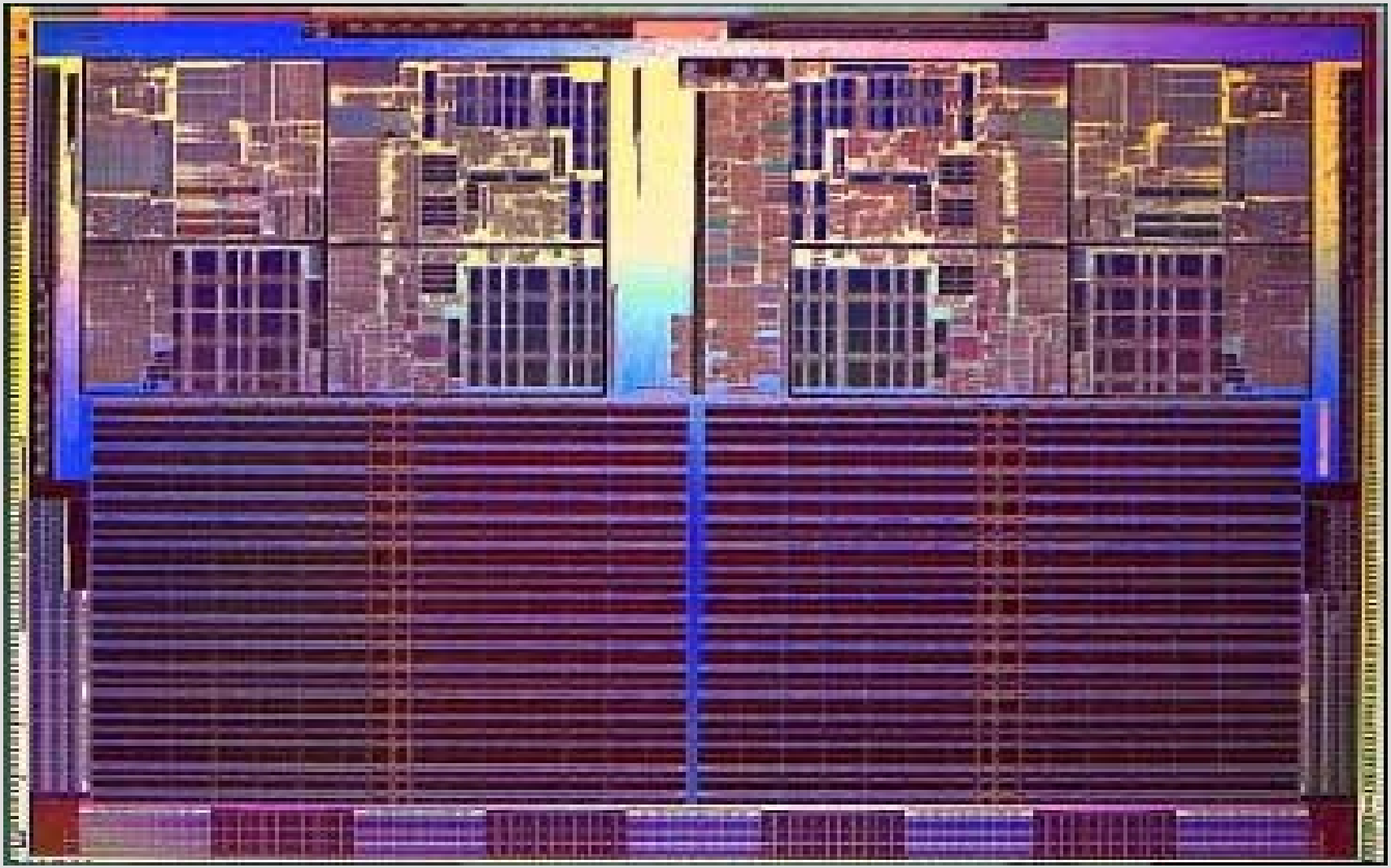


O Terceiro Estado (Z)

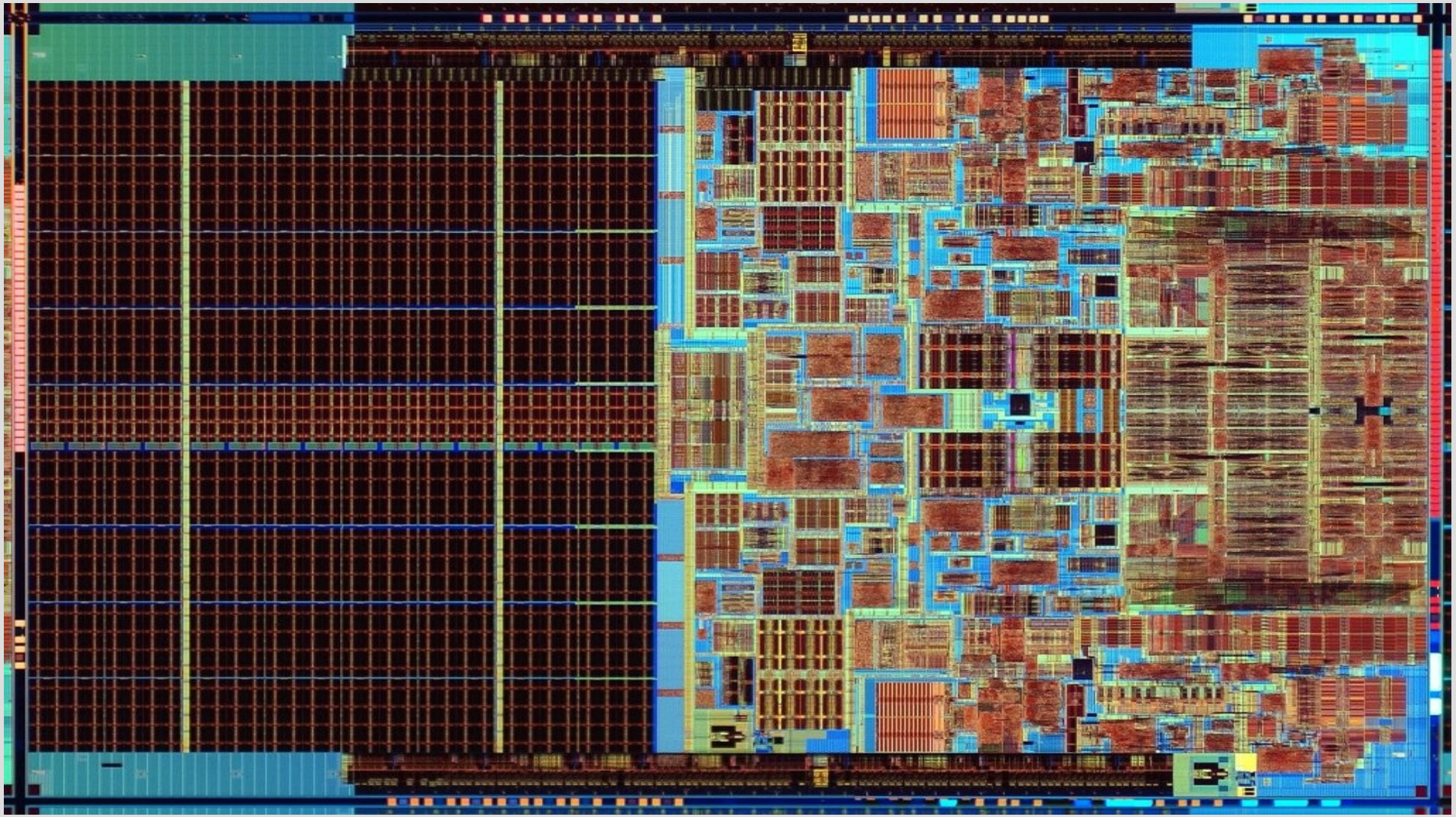


Wafer de Silício

Processador AMD 64 X2 Dual Core



Processador Intel Core Duo 2



Encapsulamento de um Chip