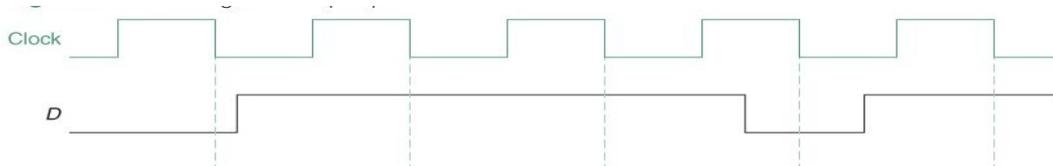
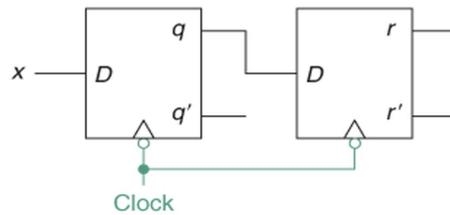


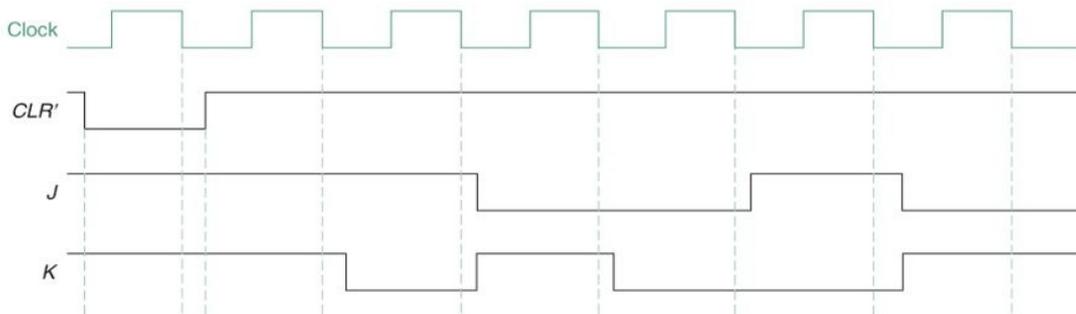
3ª Lista de Exercícios

- 1) Qual será a forma de onda na saída do segundo flip-flop D do circuito da figura abaixo?

Figure 6.11 Two flip flops.



- 2) Qual será a forma de onda na saída de um flip-flop JK com CLEAR se a forma de onda abaixo for aplicada às suas entradas?



- 3) O que significa dizer que o tempo de "setup" de um flip-flop é de 2 ns? O que pode acontecer se este tempo não for respeitado?
- 4) Elabore um contador assíncrono crescente com flip-flops tipo T módulo 6.
- 5) Elabore um contador assíncrono decrescente com flip-flops tipo T de módulo 10.
- 6) Construa um contador binário assíncrono que converta um pulso com frequência de 64 KHz em uma onda quadrada de 1 KHz.
- 7) Um contador de módulo 12 e outro de módulo 10 são conectados em cascata. Determine a frequência de saída se a frequência na entrada de clock é 60 Mhz.

8) Escreva o código em VHDL que realize um contador síncrono crescente módulo 12.

9) Correlacione as colunas a seguir:

a) É o tempo medido da variação do sinal do nível baixo para () Tempo de Setup
alto, entre 10% do sinal até ele atingir 90% do seu valor.

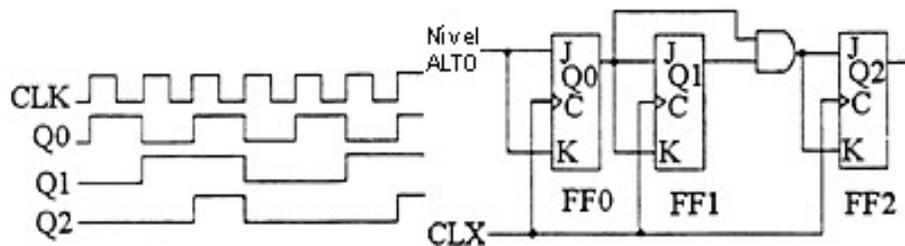
b) É o tempo mínimo depois do evento de relógio (transição () Tempo de Hold
de subida ou descida) em que a entrada precisa continuar
estável.

c) É o tempo mínimo antes do evento de relógio (transição () Tempo de Subida
de subida ou descida) em que a entrada precisa estar
estável.

d) É o atraso medido entre 50% da variação do sinal na () Alta Impedância
entrada e 50% da variação do sinal na saída.

e) É o chamado estado onde a saída não contribui nem para () Tempo de Propagação
o nível alto, nem para o nível baixo.

10) As formas de onda mostradas para o circuito abaixo estão corretas?



11) Elabore um contador síncrono crescente de módulo 32. Determine a frequência máxima para esse contador de cada flip-flop tiver um $t_p = 20$ ns e cada porta tiver um $t_p = 10$ ns.