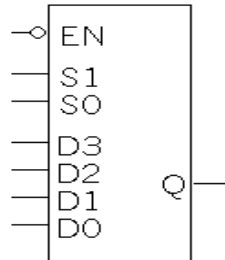
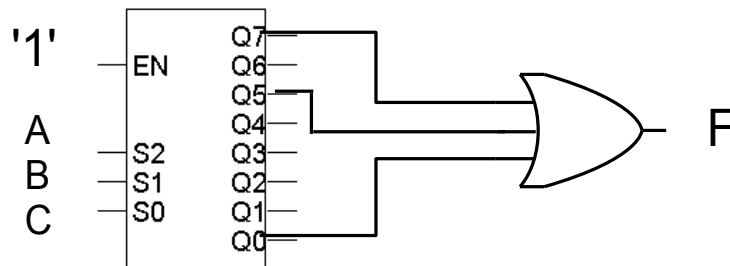


2ª Lista de Exercícios

- 1) Implementar $F(x,y,z) = \sum m(2,4,5,6)$ usando um multiplexador de quatro entradas e um “enable” ativo em nível lógico baixo.



- 2) Qual a função implementada pelo circuito abaixo? O decodificador tem saídas ativas em nível lógico alto.



- 3) Correlacione as colunas a seguir:

- a) O valor binário correspondente à entrada de maior valor () Multiplexador que estiver ativada é apresentado na saída.
- b) Uma das saídas é ativada de acordo com o valor da () Decodificador entrada. Há versões com as saídas ativas em nível lógico alto ou baixo.
- c) O valor binário correspondente à entrada ativada é () Comparador de Magnitude apresentado nas saídas. Apenas uma entrada pode estar ativa de cada vez.
- d) A saída acompanha o valor (alto ou baixo) de uma das () Codificador de Prioridade entradas de acordo com o valor das linhas de seleção.
- e) Os valores binários correspondentes aos números () Codificador presentes nas duas entradas são comparados e o sinal de maior, menor ou igual é ativado na saída de acordo com o resultado da comparação.

- 4) O seguinte seqüência é aplicada na entrada de um codificador de prioridade e também na entrada de um codificador de 8 bits. Quais os valores binários que aparecem na saída? Justifique. (01000000), (00000010), (00001111) e (00100010).

- 5) Projete um somador/subtrator de 2 bits cascadeável utilizando um multiplexador de 4:1 e outro de 8:1. Considere que um bit na entrada do circuito informa se a operação é de soma ou subtração.
- 6) Construa um multiplexador com 8 entradas utilizando apenas multiplexadores com 2 entradas.
- 7) Escreva o código em VHDL para um somador/subtrator cascadeável de 2 números de 8 bits. A operação de soma ou subtração é escolhida por um bit na entrada do dispositivo.
- 8) Escreva o código em VHDL para um deslocador de 8 bits para a esquerda ou direita, considerando que o número de entrada não tem bit de sinal.
- 9) Quais são os sete erros (de diferentes tipos) no código VHDL abaixo?

```

LIBRARY ieee;
USE ieee.std_logic_1164.ALL;

ENTITY Mux IS
  PORT(_A_in, _B_in:      IN STD_LOGIC_VECTOR;
       Sel:              IN STD_LOGIC;
       Data_out:         OUT STD_LOGIC_VECTOR);
END Mux;

ARCHITECTURE behavioral OF Multiplexer IS
BEGIN
  PROCESS (Sel)
    CONSTANT Mux_delay: TIME := 500 ps;
  BEGIN
    IF (Sel == '0') THEN
      Data_out := _A_in AFTER Mux_delay
    ELSIF
      Data_out := _B_in AFTER Mux_delay
    END IF;
  END PROCESS;
END BEHAVIORAL;

```

- 10) A seguinte forma de onda foi aplicada na entrada de um LATCH transparente. Qual será a forma de onda obtida na sua saída?

