

# Dispositivos Lógicos Programáveis

Circuitos Lógicos

DCC-IM/UFRJ

Prof. Gabriel P. Silva

©2009

# Família de Sistemas Digitais

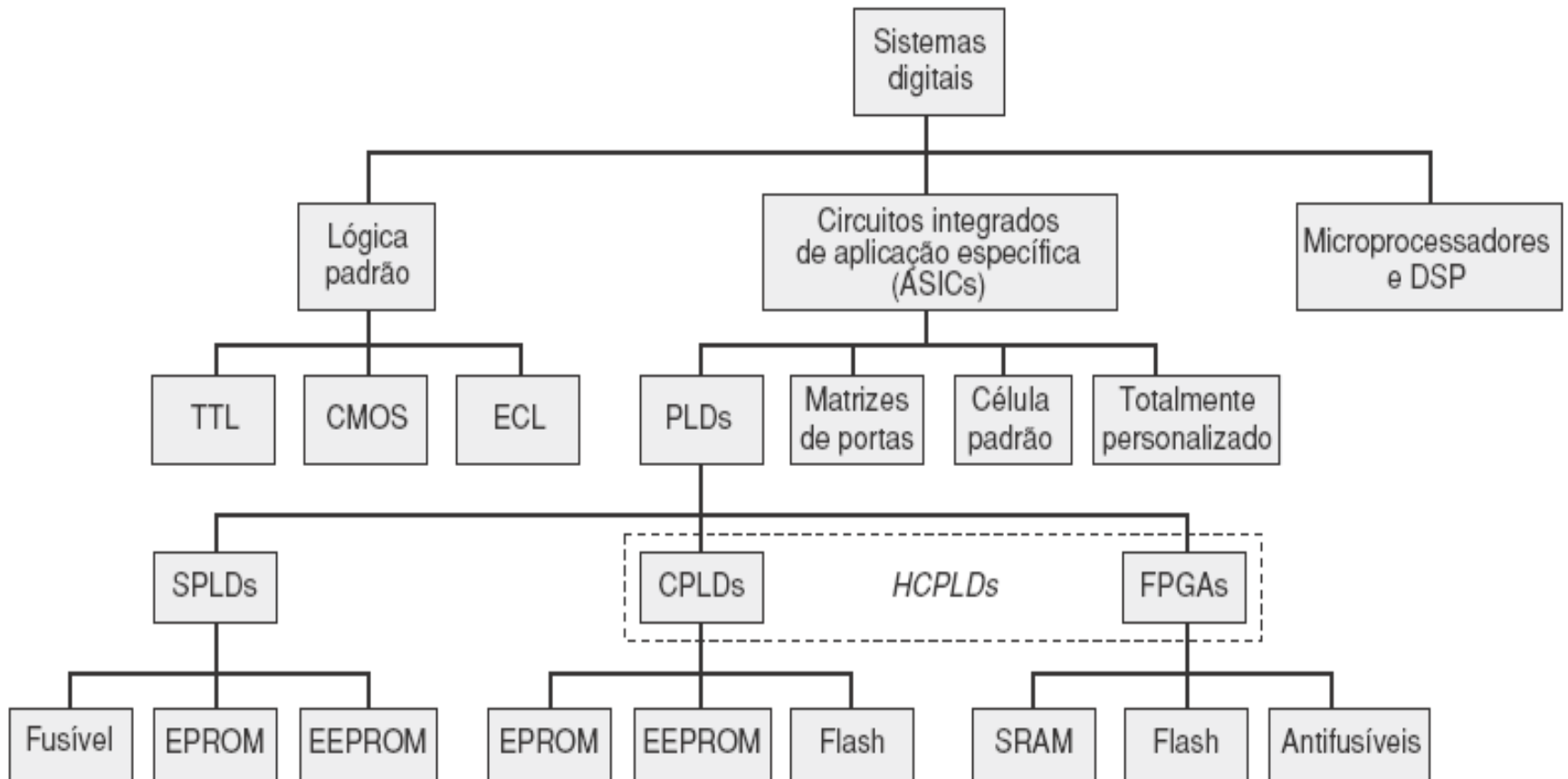
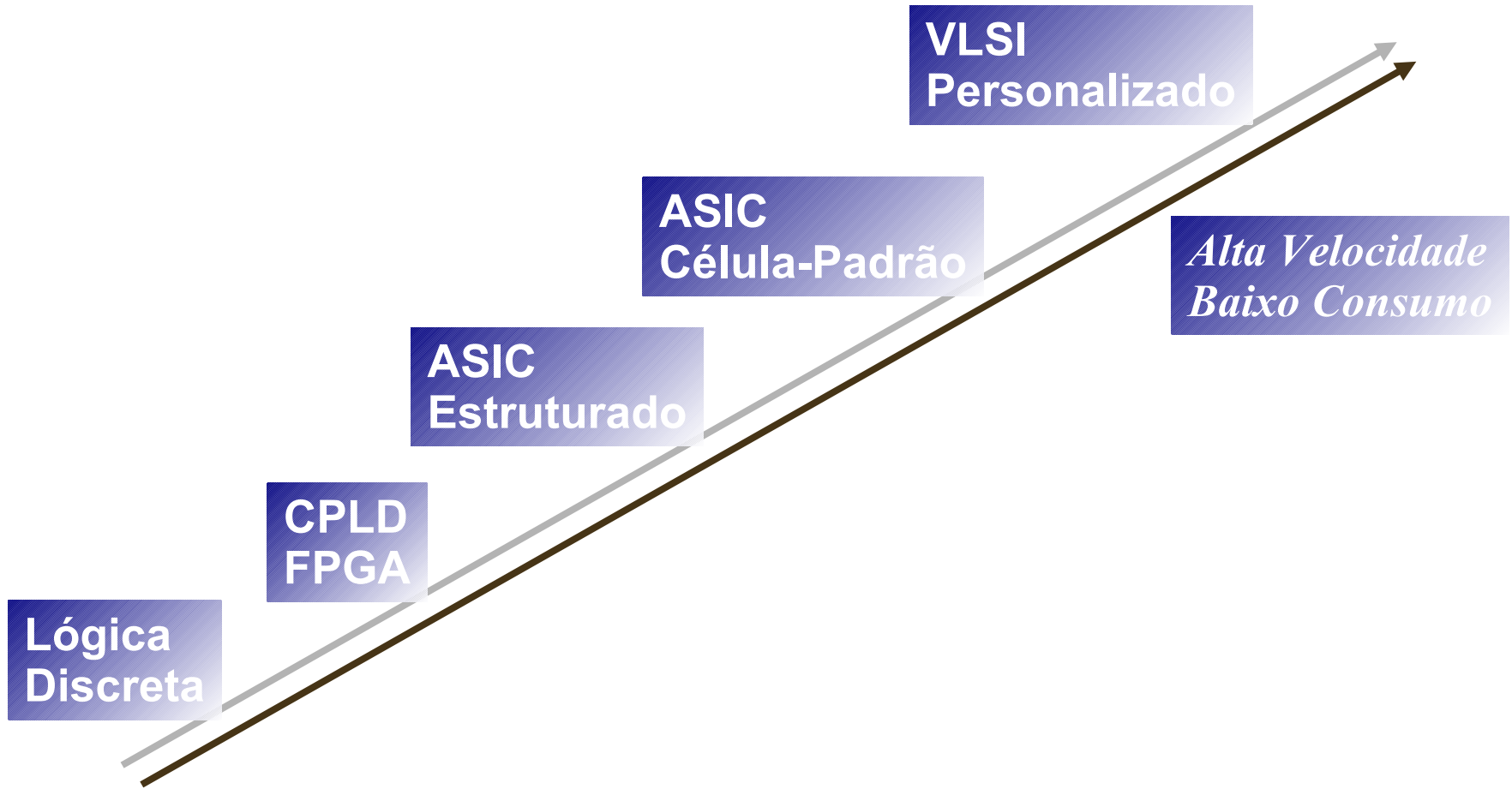


FIGURA 13.1

Árvore das famílias de sistemas digitais.

# Comparação: Velocidade e Consumo



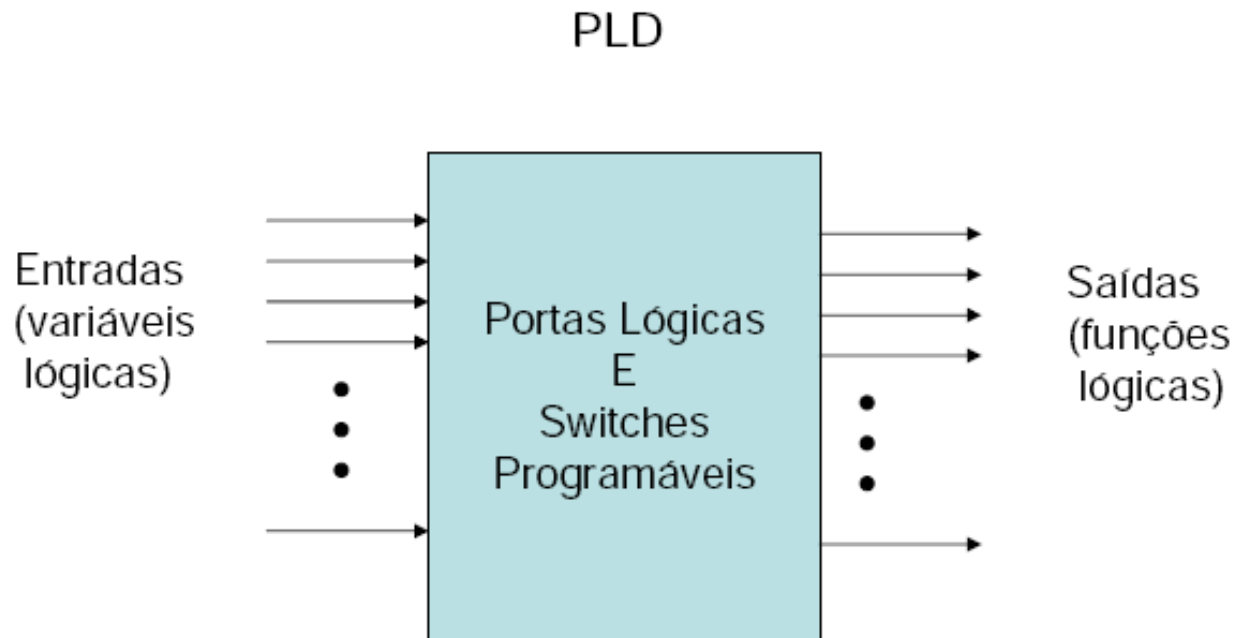
# Dispositivos Lógicos Programáveis (PLD)

- Tipos:
  - PLA
  - PAL
  - CPLD
  - FPGA
  - ASICs
  - Gate Array
- Aplicações de CPLDs, FPGAs e Gate Arrays

# Dispositivos Lógicos Programáveis (PLD)

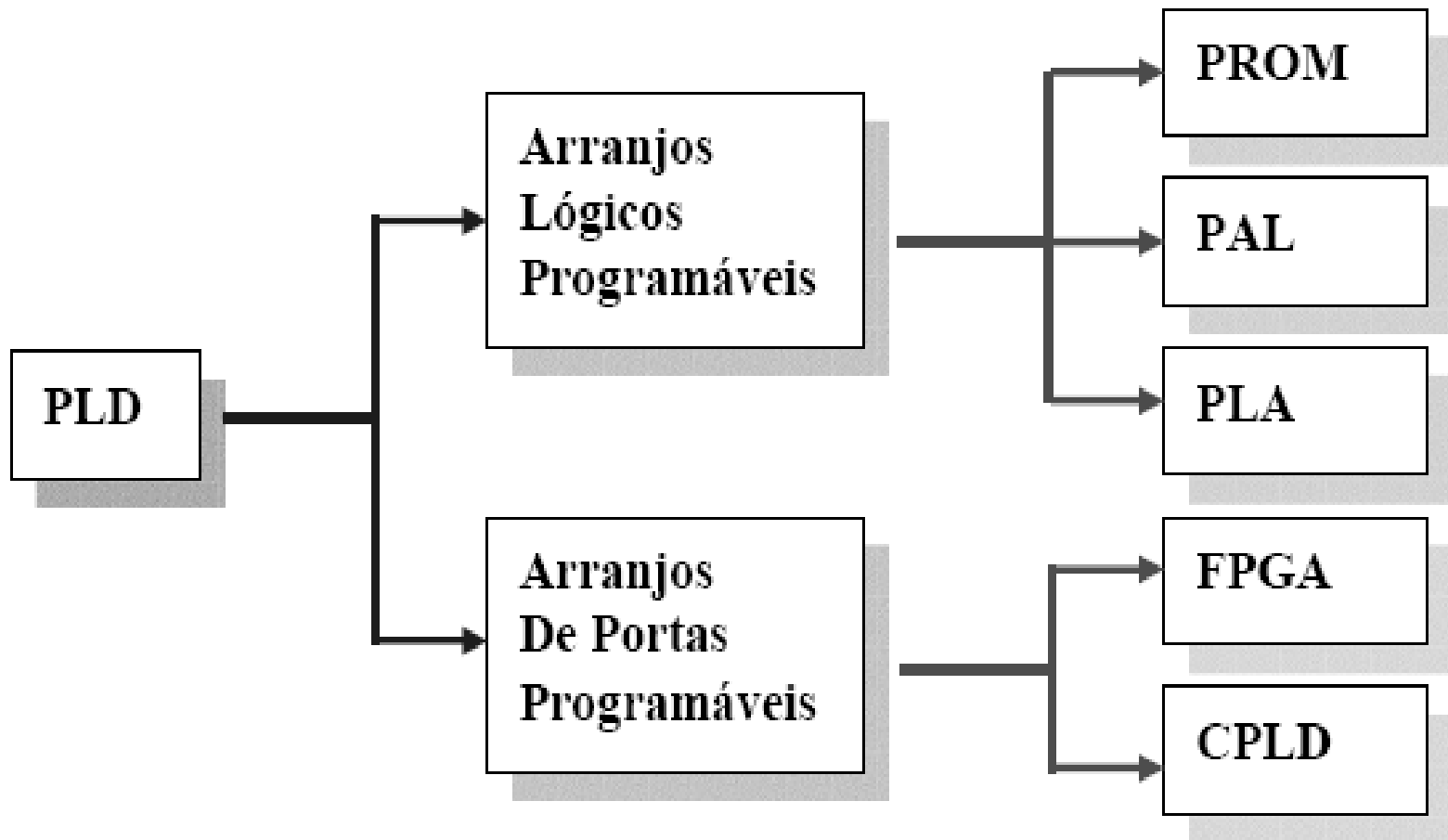
- O que é um PLD ?
  - R: Sigla de “Programmable Logic Device”
  - R: É um circuito integrado que pode conter grande quantidade de circuitos lógicos, com uma estrutura que não é fixa.
  - R: É um tipo de integrado que contém circuitos lógicos e chaves programáveis cujas funções são definidas pelo usuário.

# Dispositivos Lógicos Programáveis (PLD)



PLD como uma "Caixa Preta"

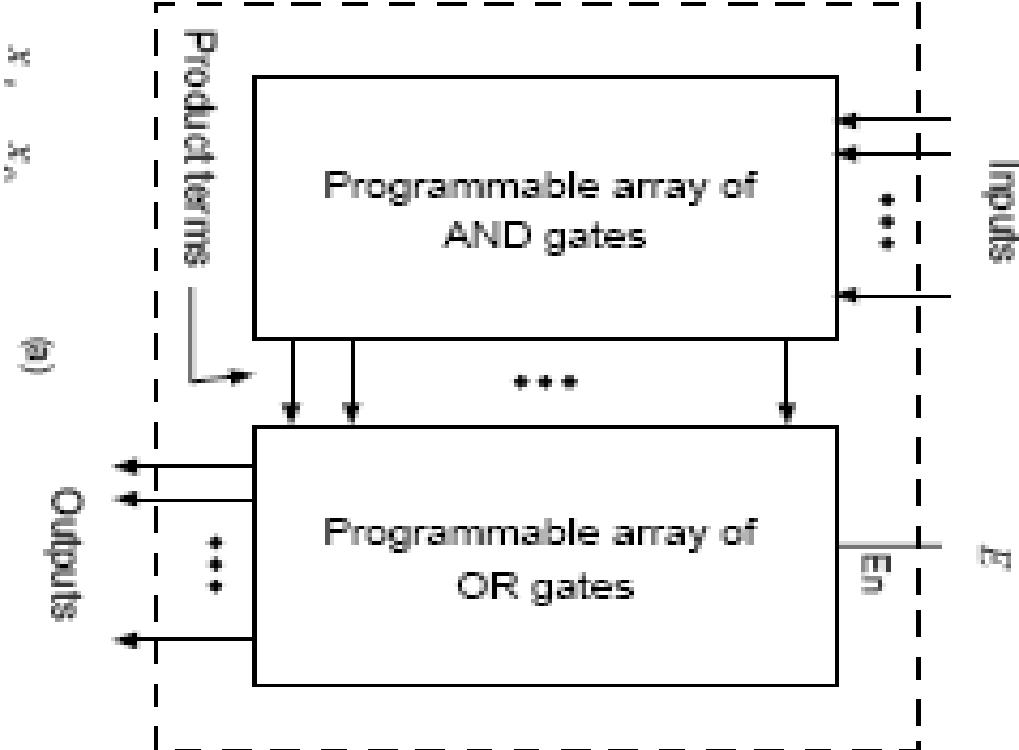
# Dispositivos Lógicos Programáveis (PLD)



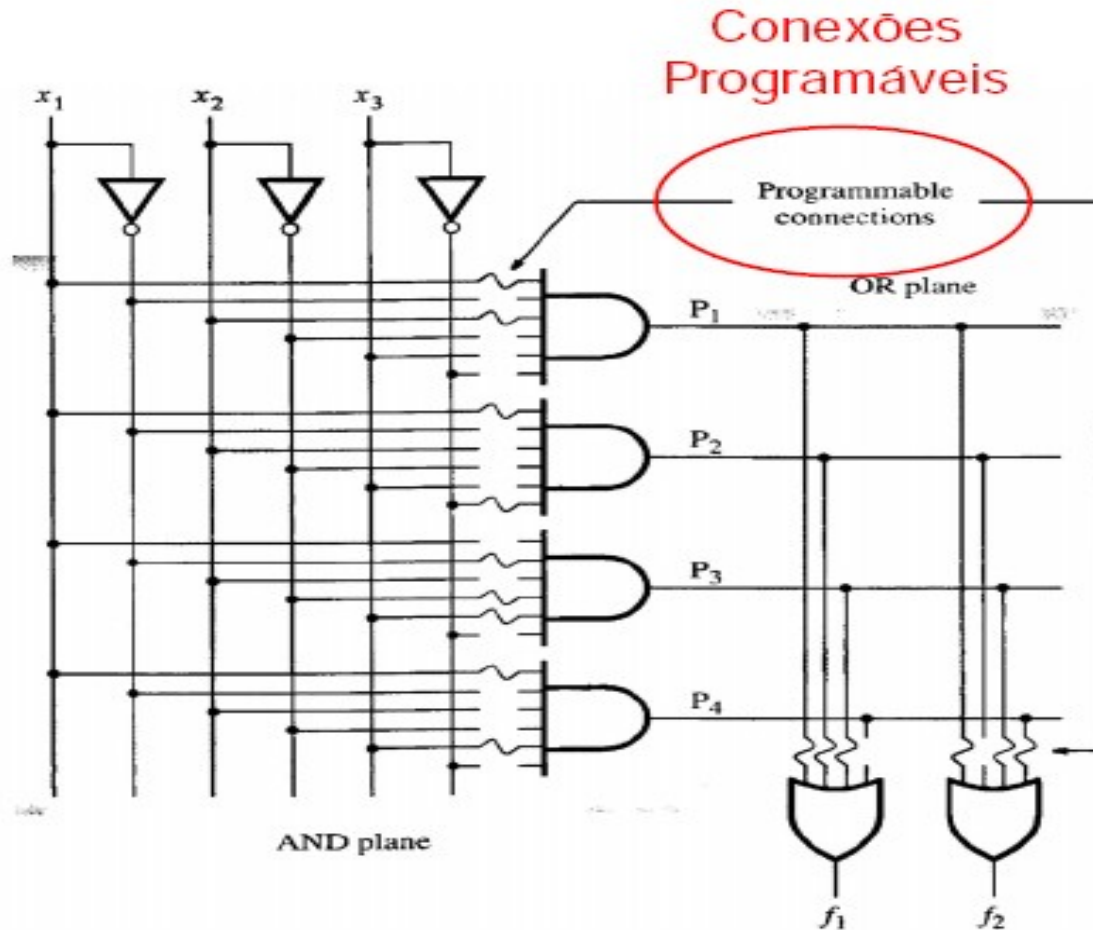
# PLA

- “Programmable Logic Array”
- O primeiro dispositivo programável.
- Composto por uma matriz programável de “ANDs” e outra de “Ors”.
- Normalmente são dispositivos de capacidade muito reduzida, com apenas algumas dezenas de portas.
- Utiliza lógica de fusíveis para a sua programação.
- Uma vez programados não podem ser reprogramados.

# PLA

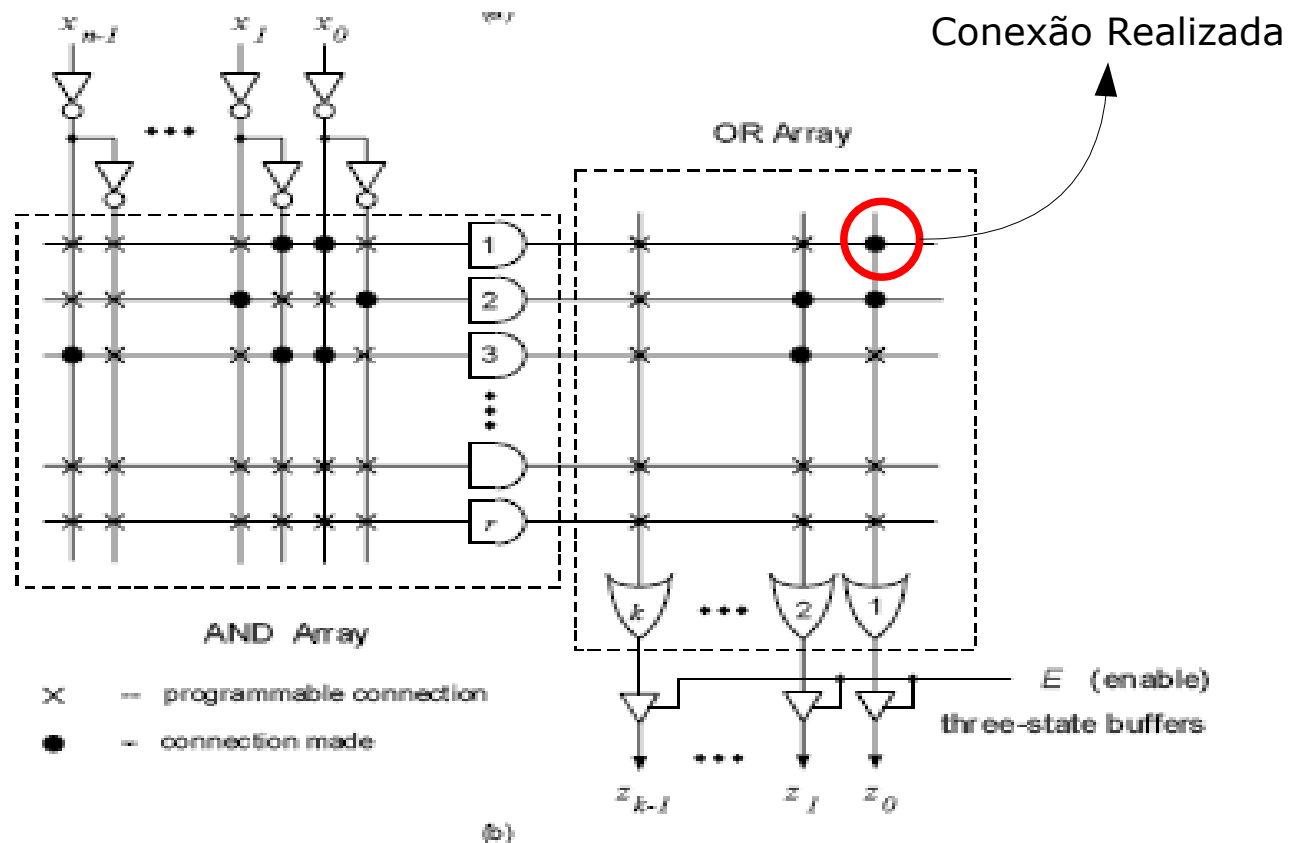


# PLA



# PLA

- Diagrama esquemático da PLA

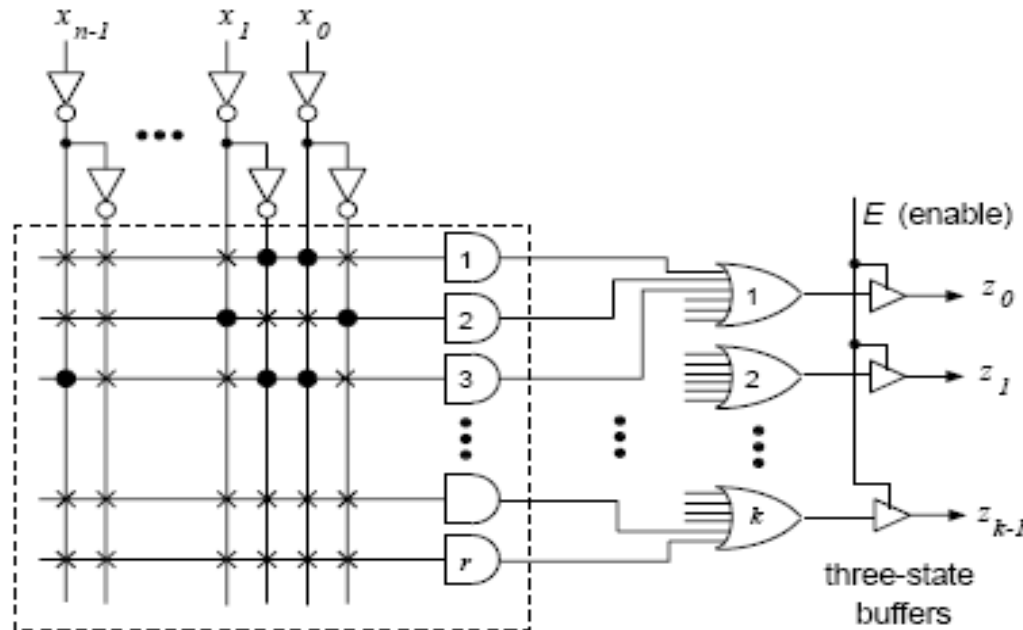


# PLA

- Como são usados as PLAs ?
  - R: São incluídos como parte de chips maiores, como na unidade de controle de um microprocessador, para decodificar as instruções. Nesse caso a configuração é fixa
- Podem ser encontradas com integrados disponíveis no mercado, quando, tipicamente, possuem:
  - 16 entradas,
  - 32 termos de produto e
  - 8 saídas

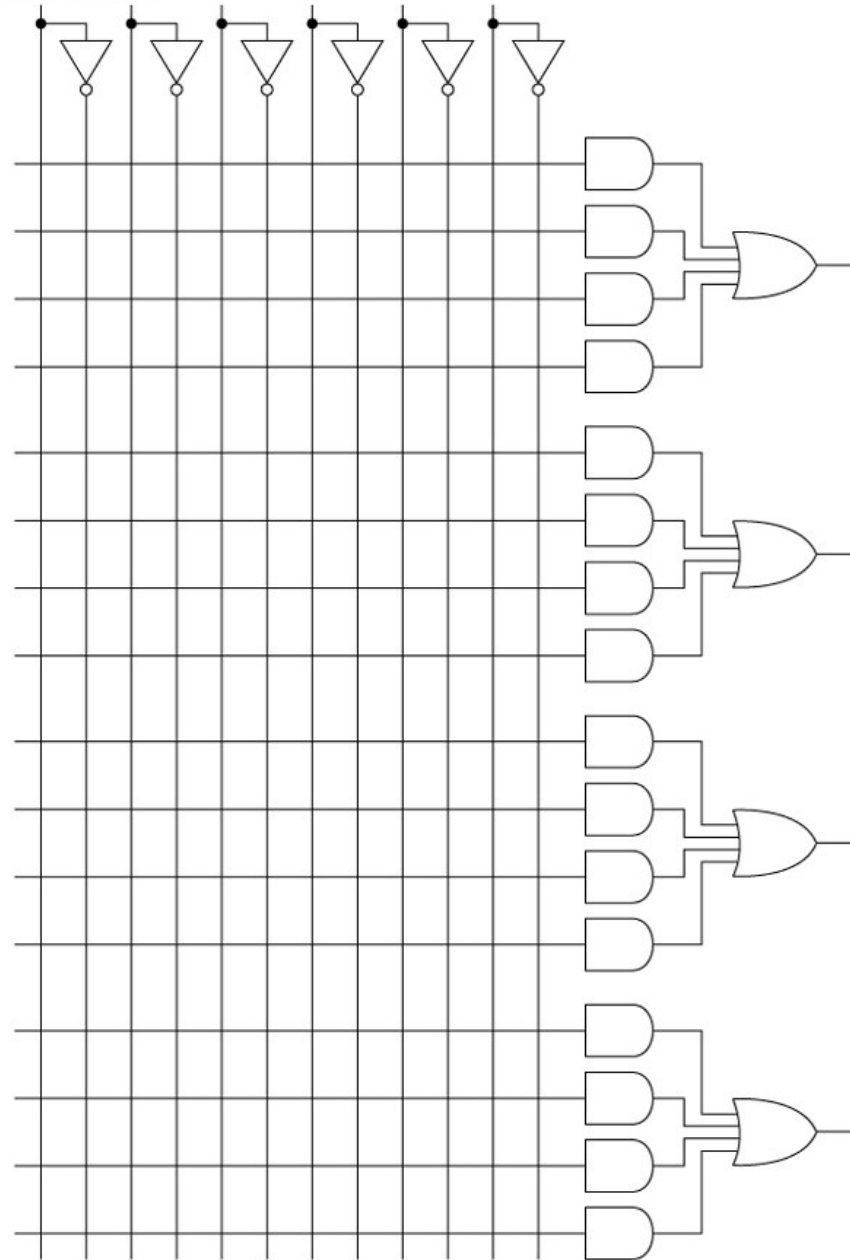
# PAL

- “Programmable Array Logic”
- Dispositivo programável com o “array” de OR fixo.



× -- programmable connection  
● -- connection made

**Figure 5.19** A PAL.



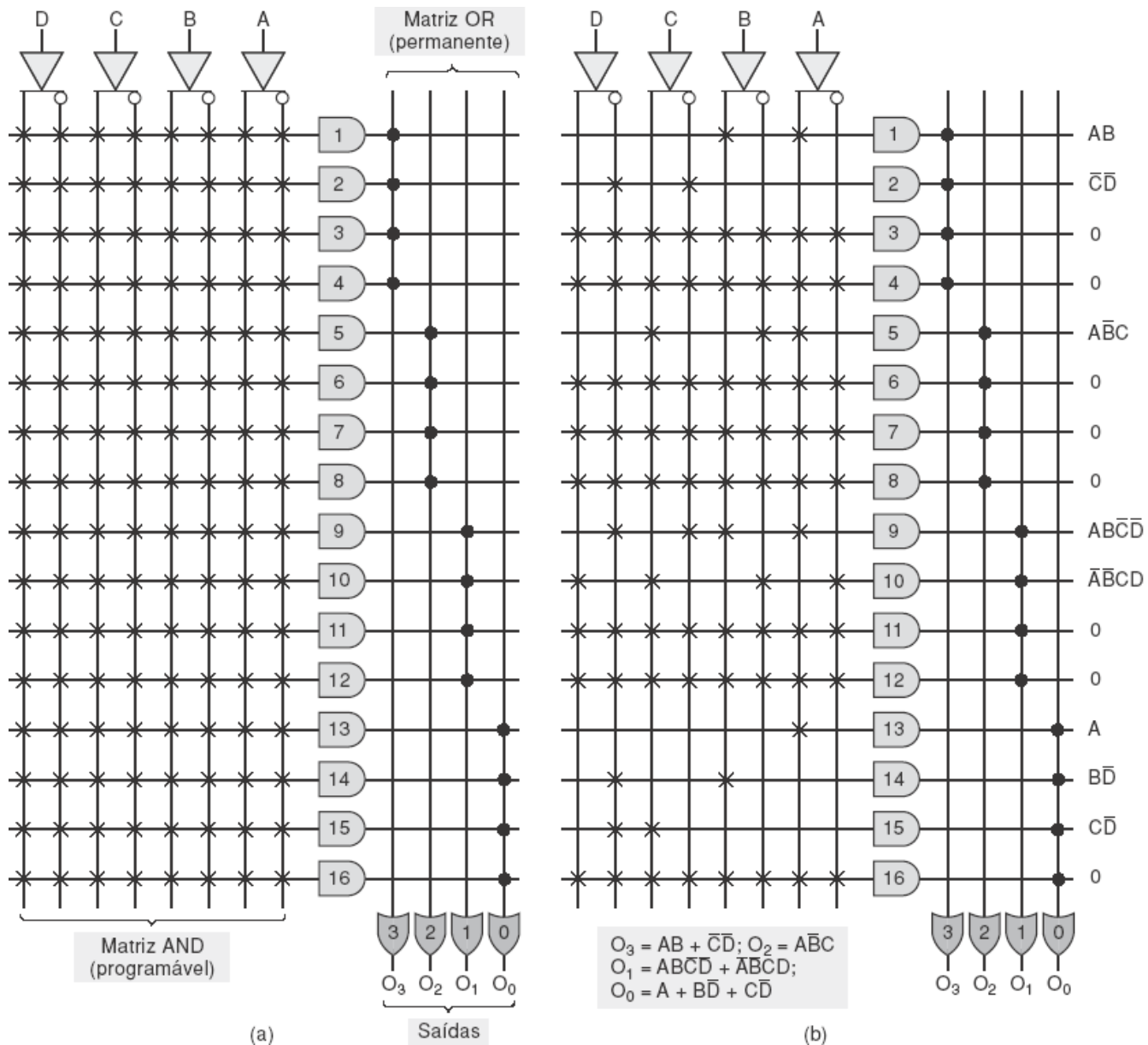


FIGURA 13.6

(a) Arquitetura típica de uma PAL; (b) A mesma PAL programada para implementar determinadas funções.

# PAL

- Qual a diferença em relação a um PLA ?
  - R: A PAL possui plano AND programável, mas o plano OR é fixo
  - R: A PLA possui ambos os planos programáveis
- Significa dizer que a PAL é:
  - + simples de fabricar
  - + barata
  - + desempenho

# PAL16H8

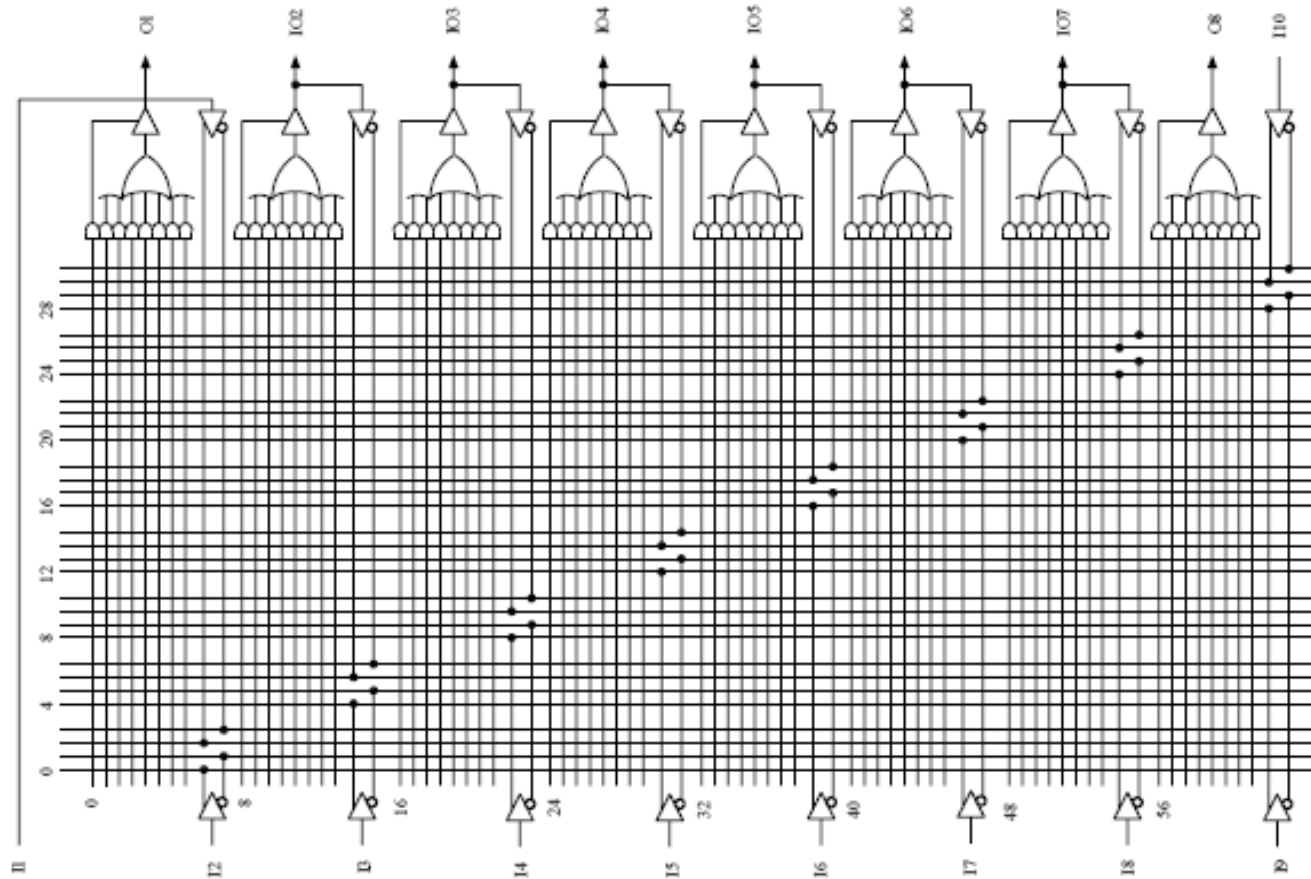
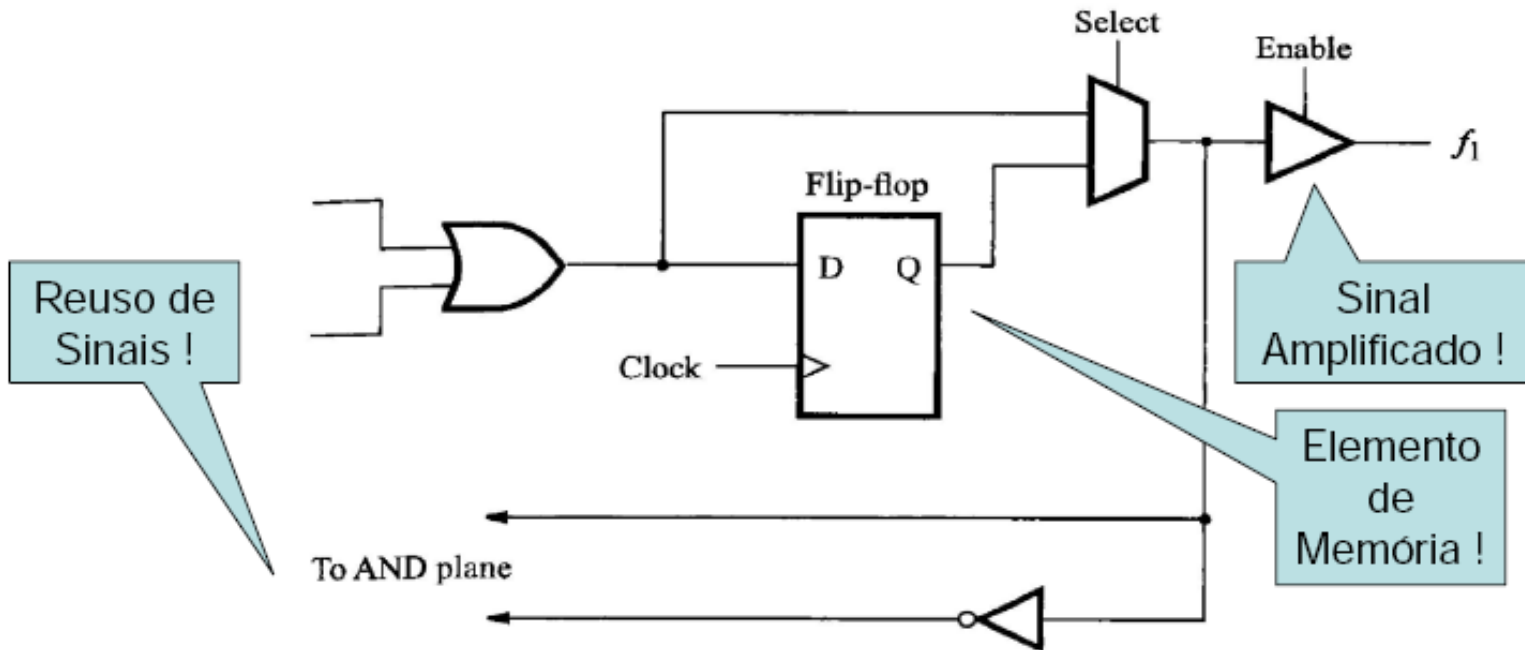


Figure 5.21: 16-INPUT, 8-OUTPUT PAL(P16H8)

# PAL

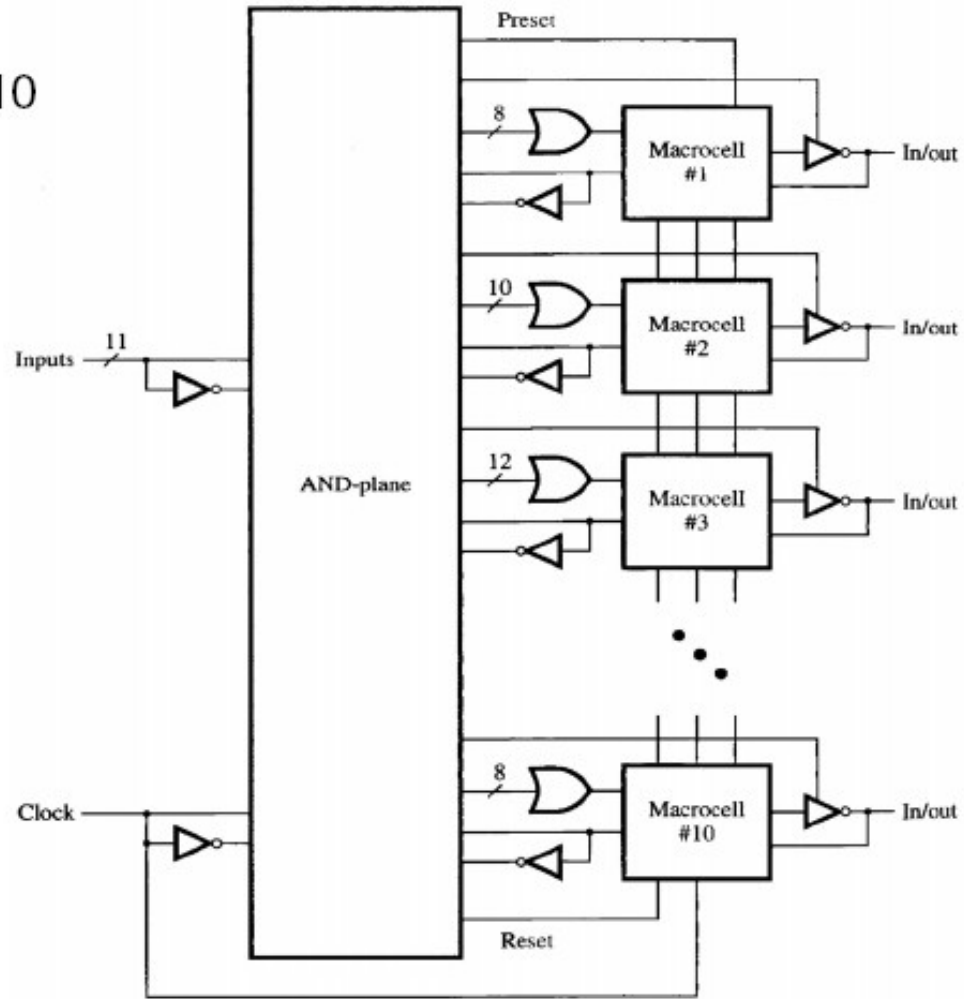
Circuitaria extra (**Macro célula**)  
na saída das portas OR do PAL

Serve para dar flexibilidade  
ao dispositivo !



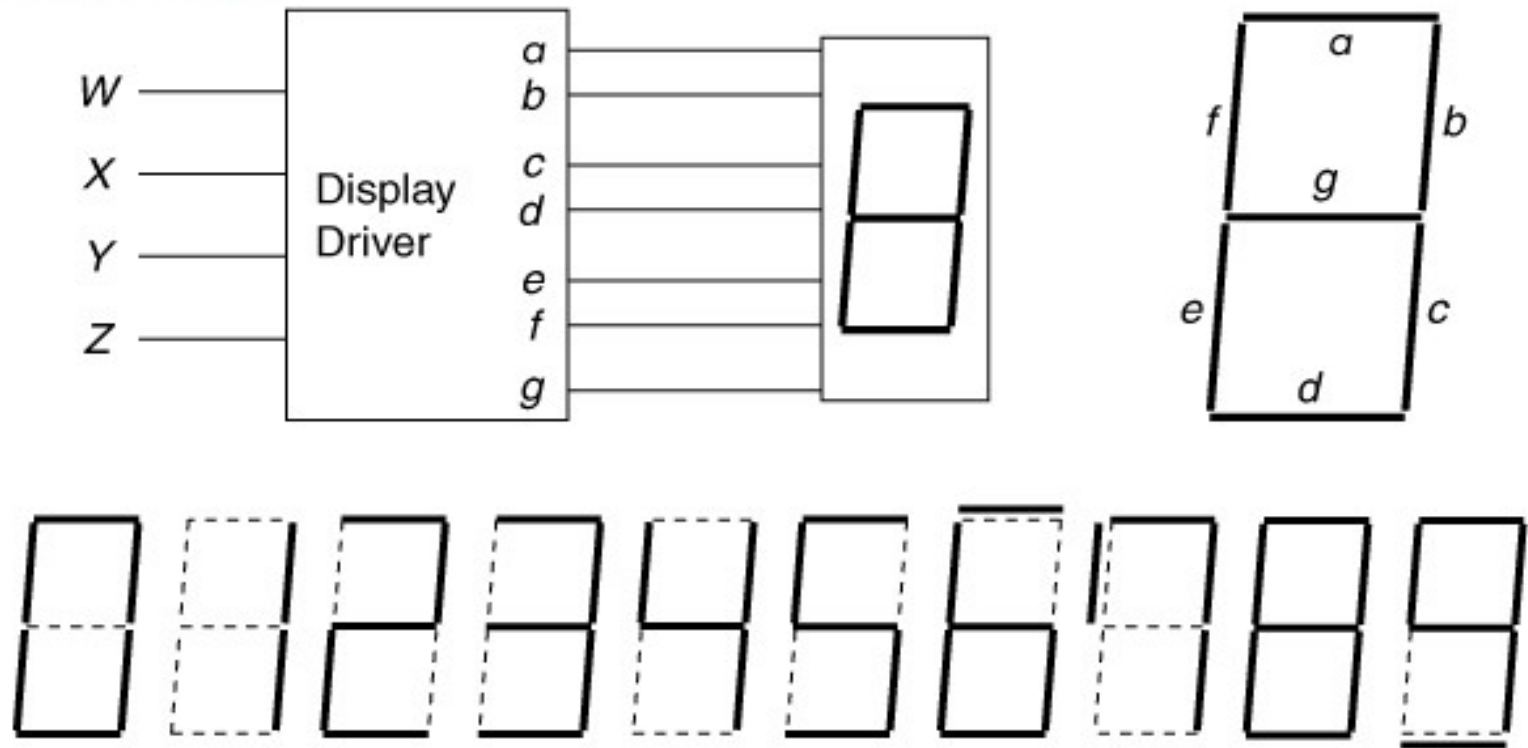
# PAL Comercial

O dispositivo PAL 22V10



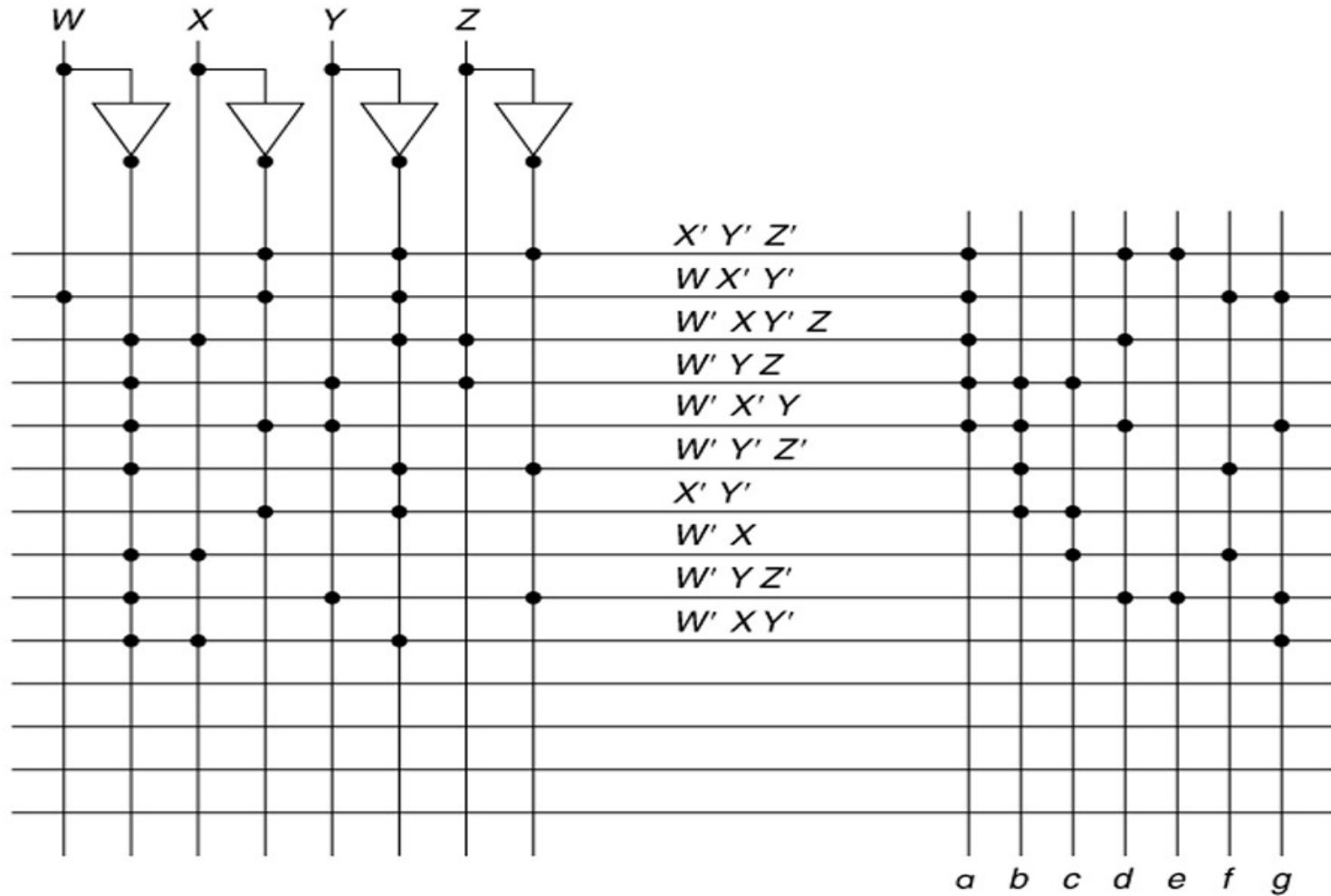
# Exemplo de Aplicação

**Figure 5.20** A seven-segment display and driver.



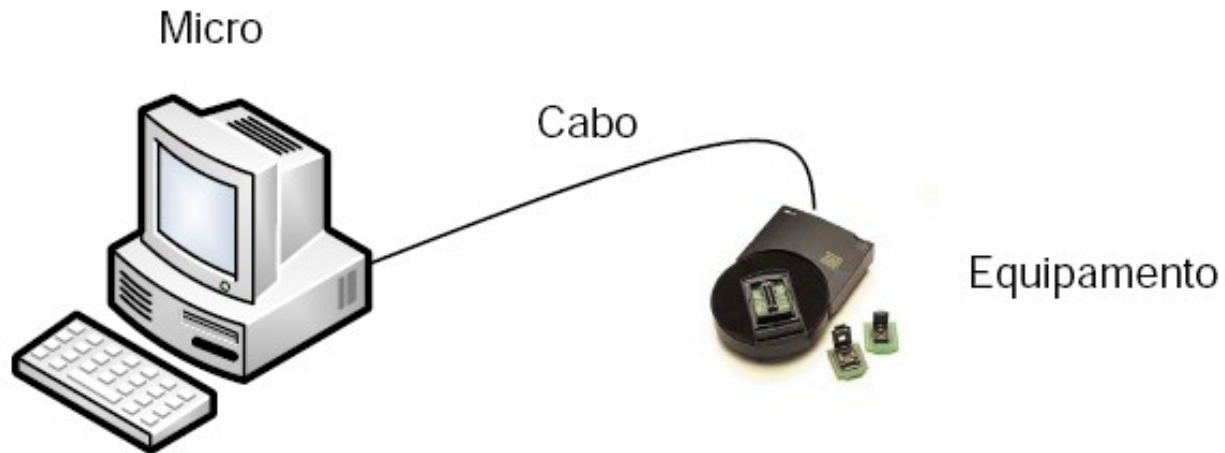
# Exemplo de Aplicação

**Figure 5.22** PLA implementation of seven-segment display driver.



# Programação de PALs e PLAs

A programação é feita através de Ferramentas CAD + equipamento



# Programação de PALs e PLAs

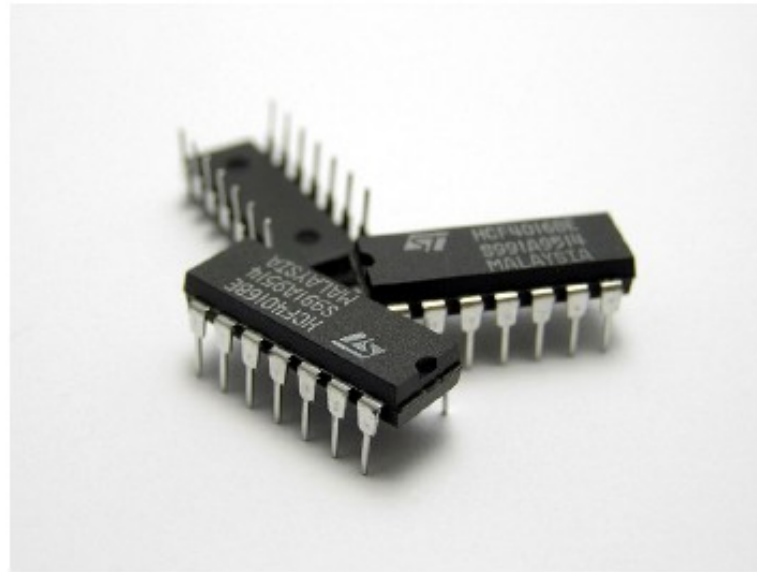
Equipamento = Unidade de Programação

Exemplo de Unidade de Programação



# Encapsulamentos

- Dual in Line Package (DIP)



# Encapsulamentos

- Plastic-Leaded Chip Carrier (PLCC)



# Fabricantes

- Altera
- Xilinx
- Atmel
- Cypress
- Lattice
- Data-io
- ...

# CPLD

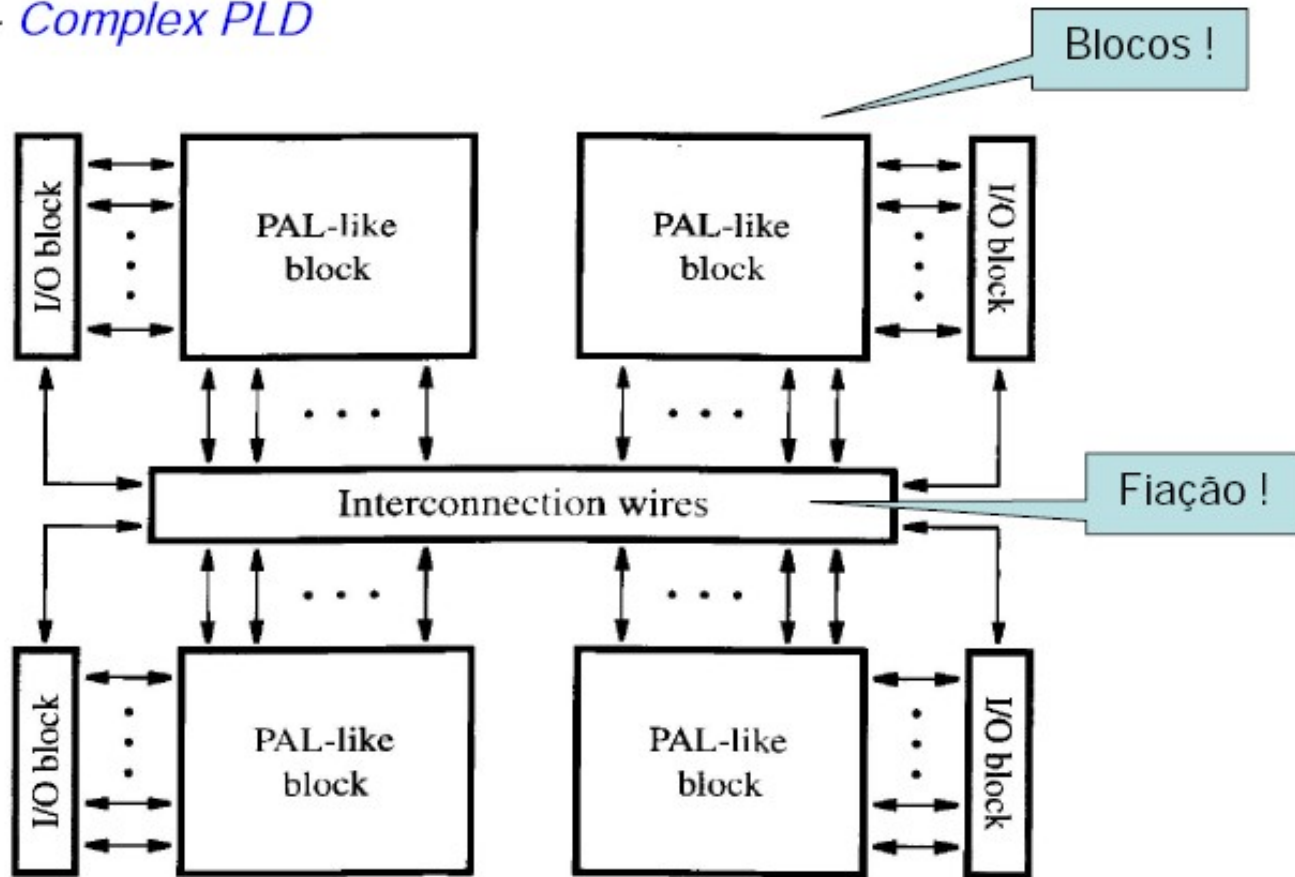
- O que são CPLDs?
  - R: Sigla para – Complex Programmable Logic Device
  - R: É um circuito que pode conter múltiplos BLOCOS de circuitos, com recursos de CONEXÃO (wiring) interna para conectar esses blocos
  - R: Quando no projeto muitas entradas e saídas são necessárias, as PALs e PLAs não as possuem em número suficiente, usa-se então um CPLD.

# CPLD

- Os elementos programáveis são células do tipo EEPROM (Electrical Erasable PROM) , ou seja, são reprogramáveis mediante apagamento prévio do conteúdo anterior.
- A informação de programação é armazenada em caráter não volátil, isto é, enquanto não houver uma operação explícita de apagamento elas são mantidas indefinidamente.

# CPLD

CPLD – *Complex PLD*



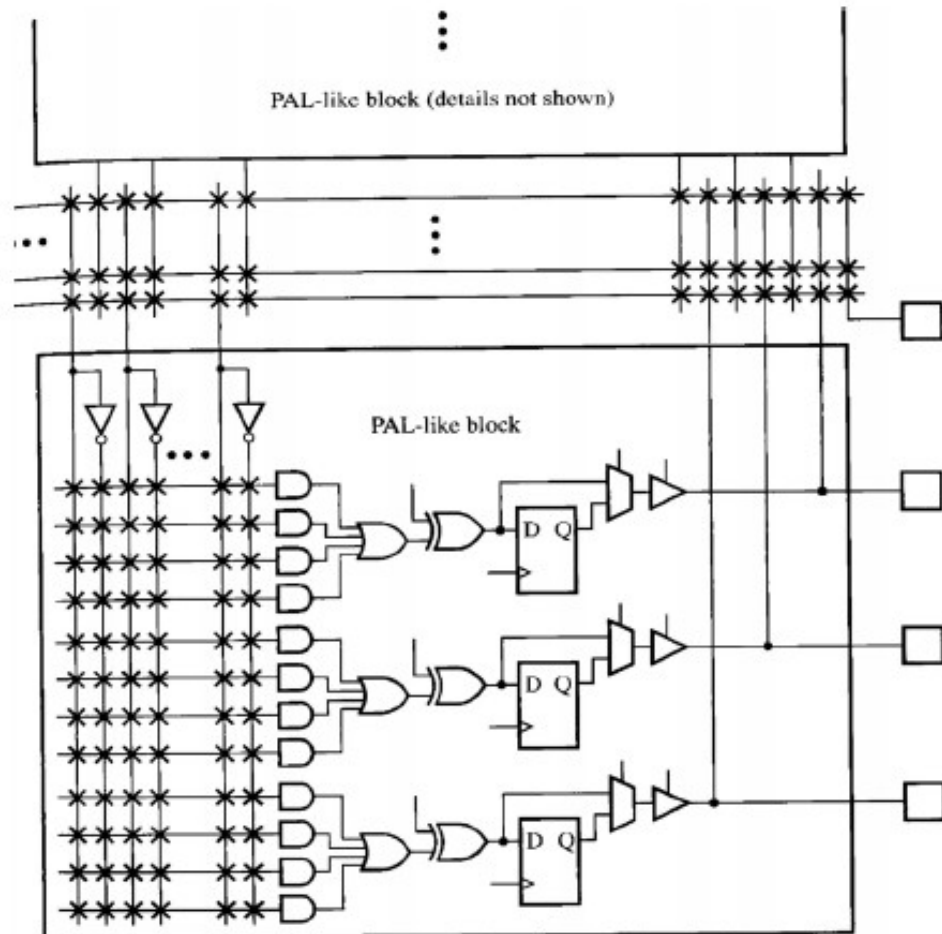
Estrutura de um dispositivo CPLD

# CPLD

Uma seção do CPLD do slide anterior

Um CPLD típico contém:

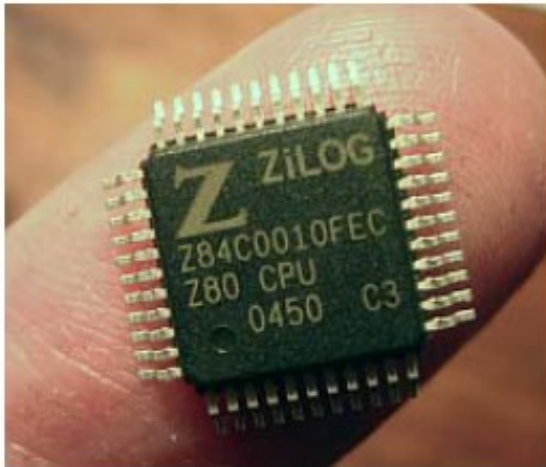
- De 2 a 100 blocos PAL-like
- 16 macrocélulas em cada bloco PAL-like
- De 5 a 20 entradas para cada porta OR



# Encapsulamentos para CPLD

PLCC e Encapsulamento QFP – Quad Flat Pack

Os pinos são mais finos que os usados em PLCC !

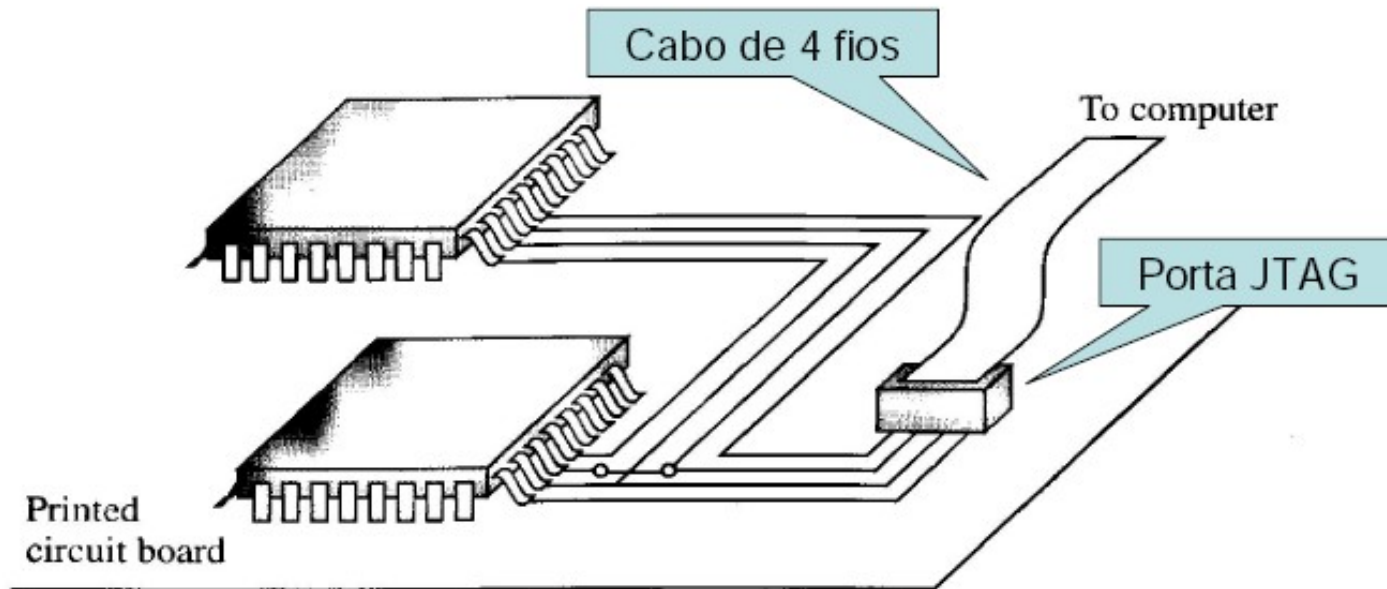


Até 100 pinos => PLCC

Até 200 pinos => QFP

# Programação de CPLD

Como são muito delicados para serem manipulados, usa-se a técnica **ISP (In-System Programming)**

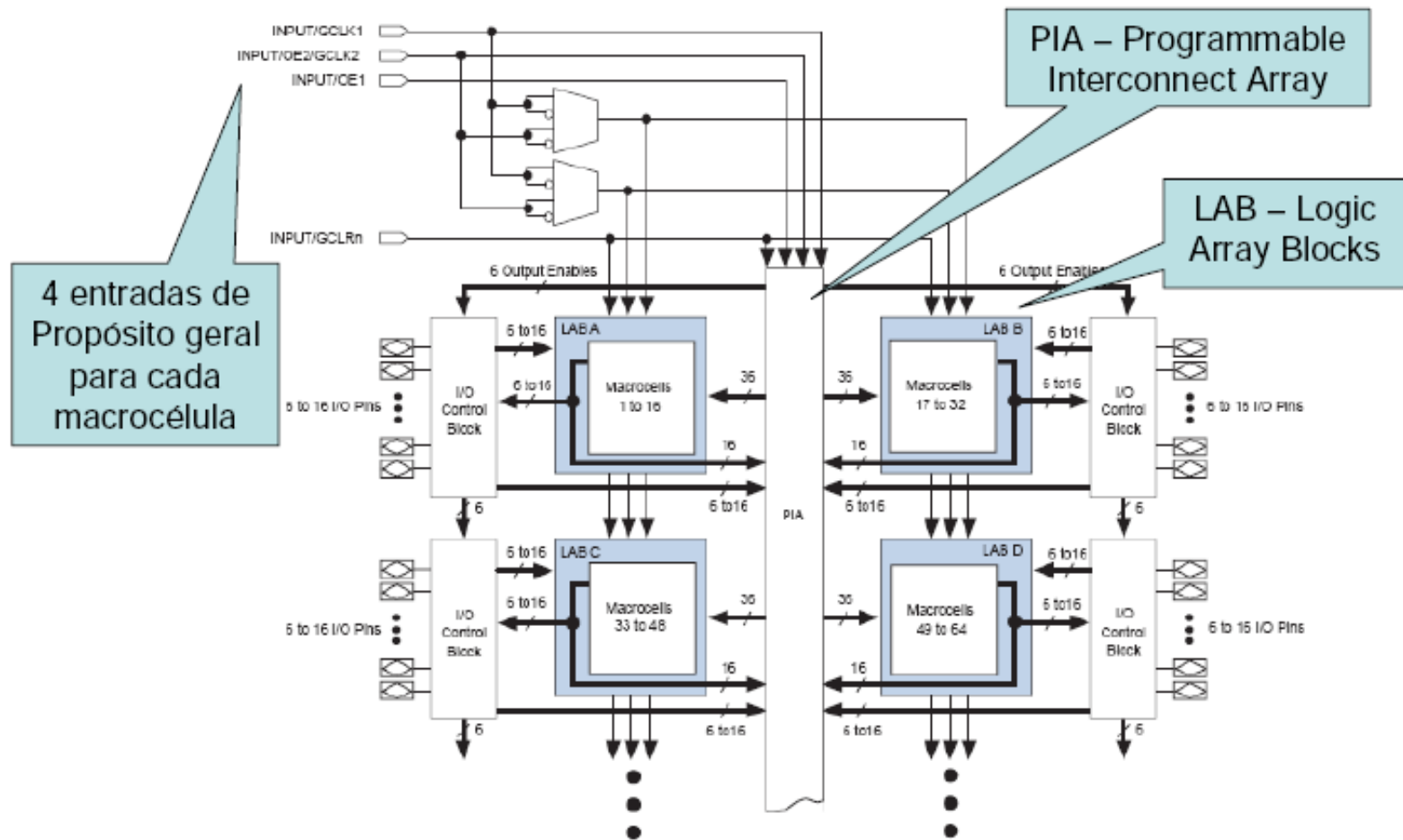


(b) JTAG programming

**JTAG** – Joint Test Action Group (porta padronizada pelo IEEE)

# Exemplo de CPLD

CPLD Max 7000E da Altera



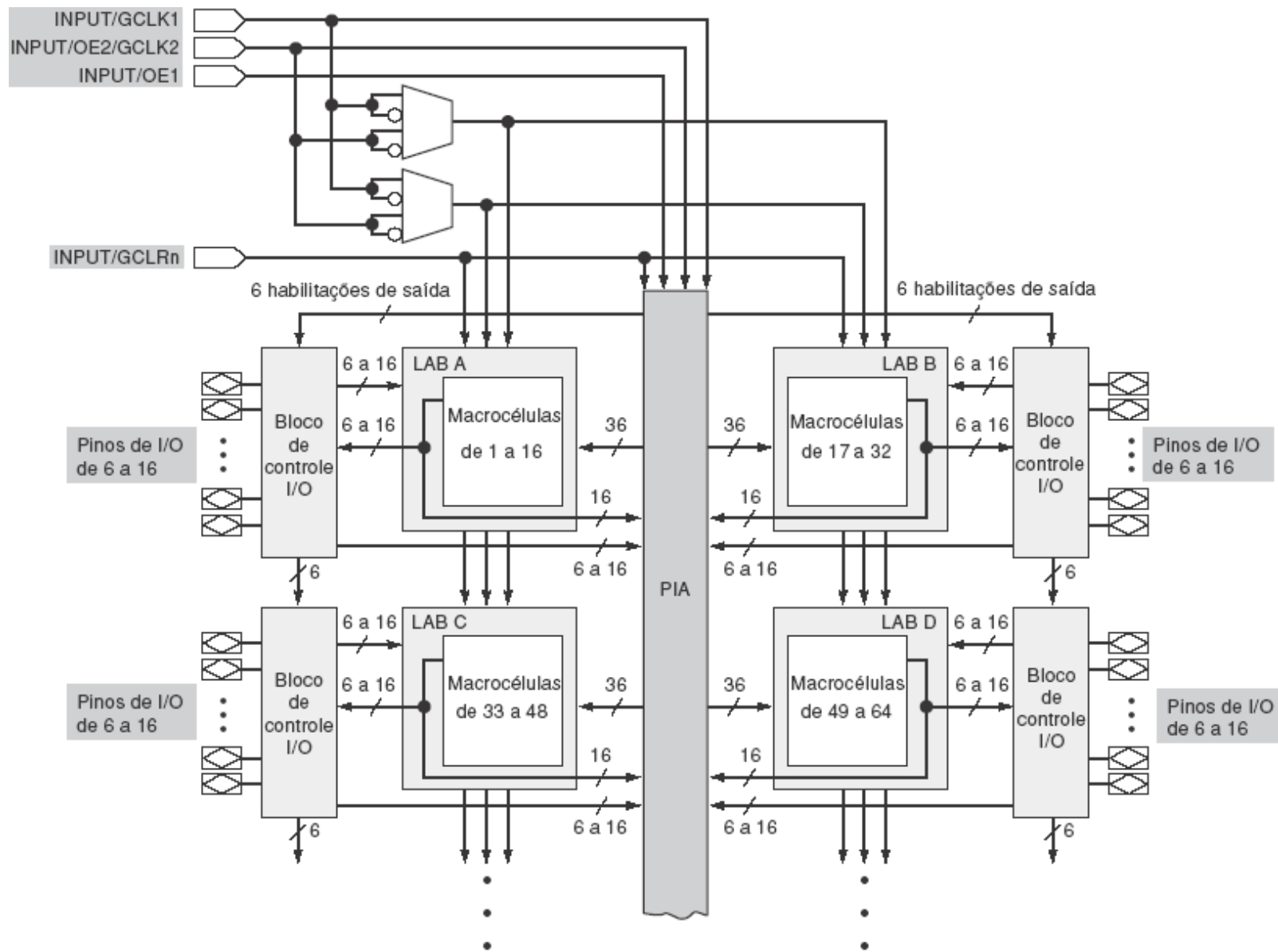
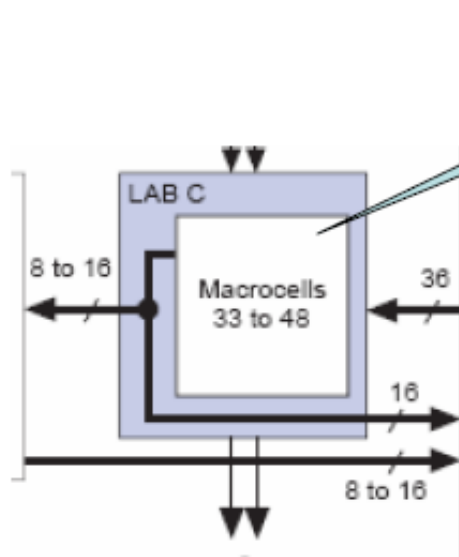


FIGURA 13.10

Diagrama em bloco da família MAX7000S. (Cortesia da Altera Corporation.)

# Exemplo de CPLD

LAB do Max 7000E da Altera



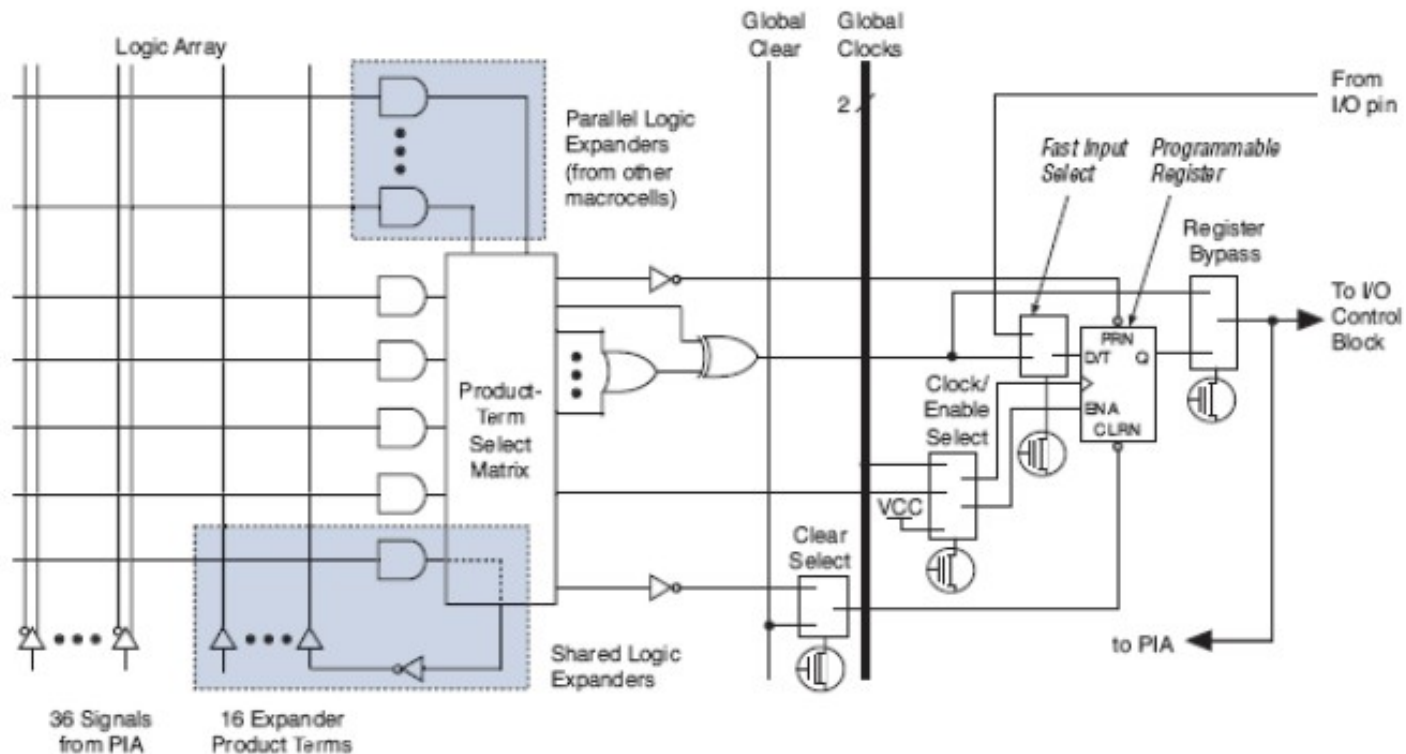
Cada LAB possui:

- 36 sinais da PIA para entradas lógicas
- Controles globais para funções de registro secundário
- Caminhos diretos de entrada dos pinos de I/O
- 16 Expansores compartilháveis

# Exemplo de CPLD

Macro célula do Max 7000E da Altera

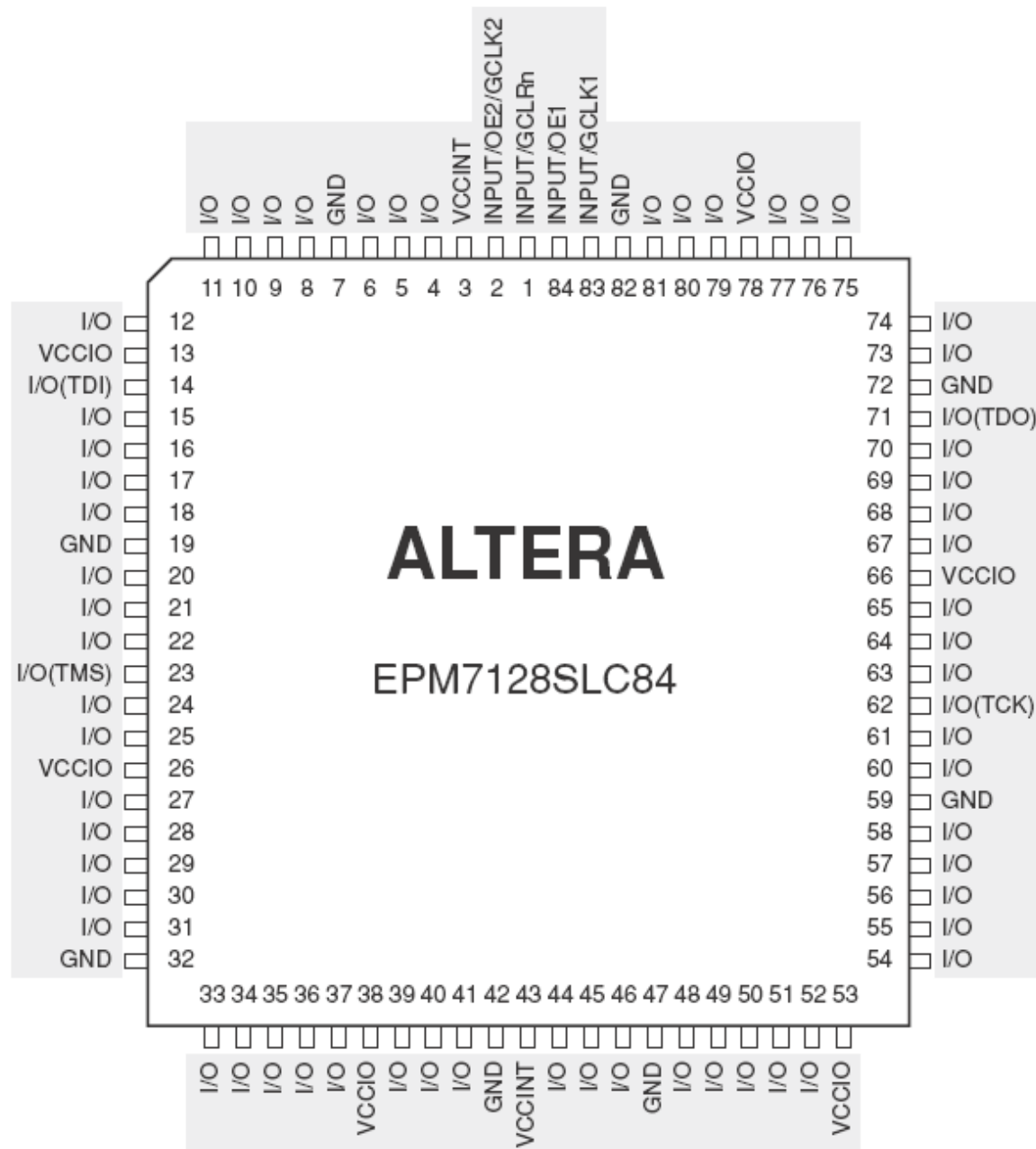
Figure 3. EPM7032, EPM7064 & EPM7096 Device Macrocell



# Exemplo de CPLD

Sequência de Programação do Max 7000E da Altera

1. **Entrar no Modo ISP:** comutar do modo usuário para o modo ISP
2. **Checar Silicon ID:**
3. **Bulk Erase:** deslocar instruções de apagamento e aplicar um pulso de apagamento de 100 ms
4. **Programação:** deslocar endereço e dado e então aplicar um pulso para programar as células EEPROM. Este processo é repetido para cada endereço de EEPROM
5. **Verificação:** deslocar endereço e dado para comparação e aplicar um pulso de leitura na célula de EEPROM. Este processo é repetido para cada endereço de EEPROM
6. **Sair do modo ISP**



**FIGURA 13.12**  
Pinagem do  
EPM7128SLC84.

# FPGA

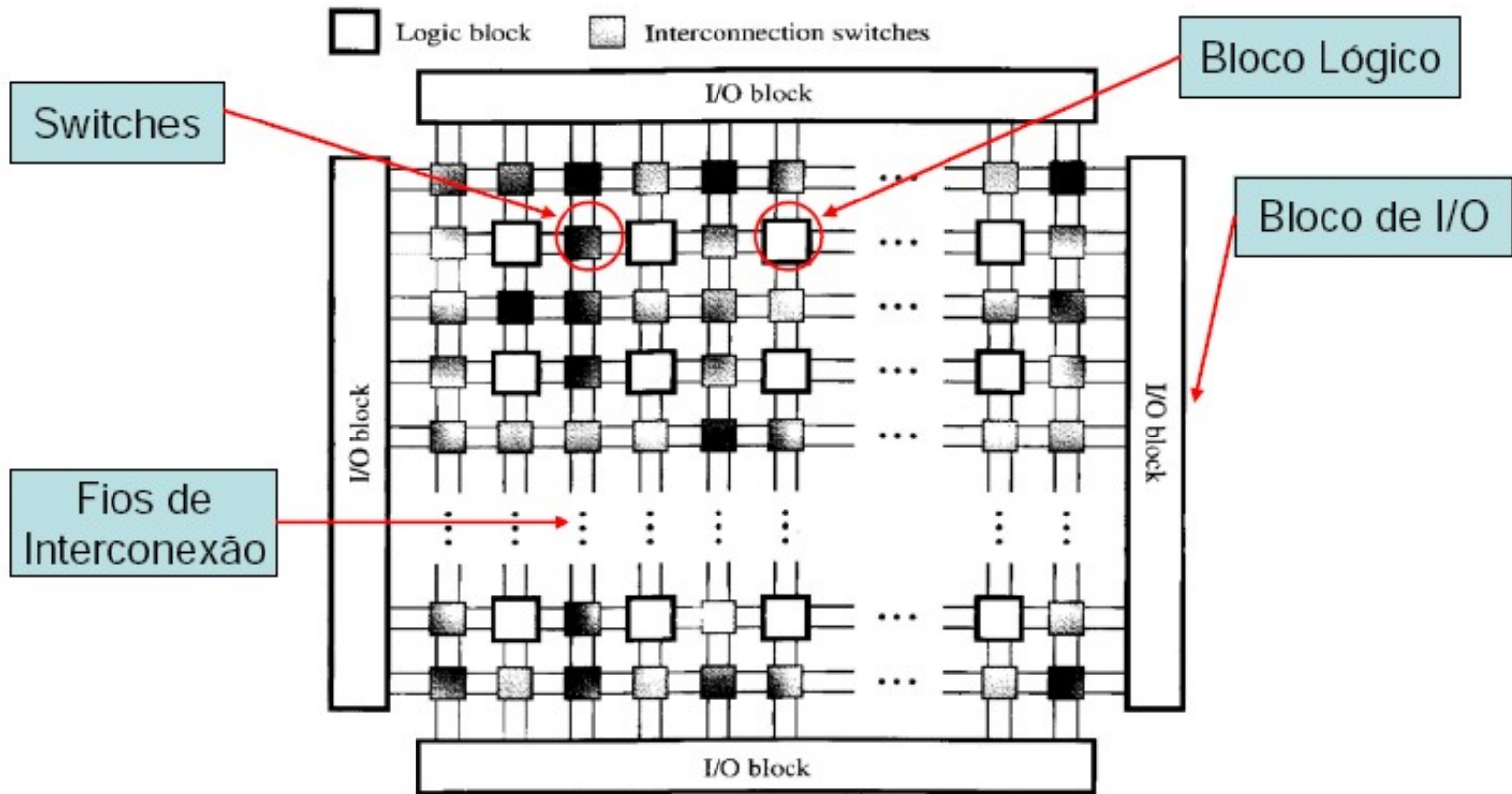
- O que é um FPGA ?
  - R: Sigla para – Field-Programmable Gate Array
  - R: É um circuito integrado que possui capacidade lógica superior a dos CPLDs
  - R: É um chip que não possui planos AND e OR, mas BLOCOS LÓGICOS CONFIGURÁVEIS.

# FPGA

- São dispositivos programáveis que possuem uma arquitetura baseada em blocos lógicos configuráveis, chamados de *CLB* (*Configuration Logical Blocks*).
- Os CLBs são formados por portas lógicas e *flip-flops* que implementam funções lógicas.
- A *FPGA* também é formada por estruturas chamadas de blocos de entrada e saída (*IOB – In/Out Blocks*), os quais são responsáveis pela interface das saídas provenientes das combinações de *CLBs*.

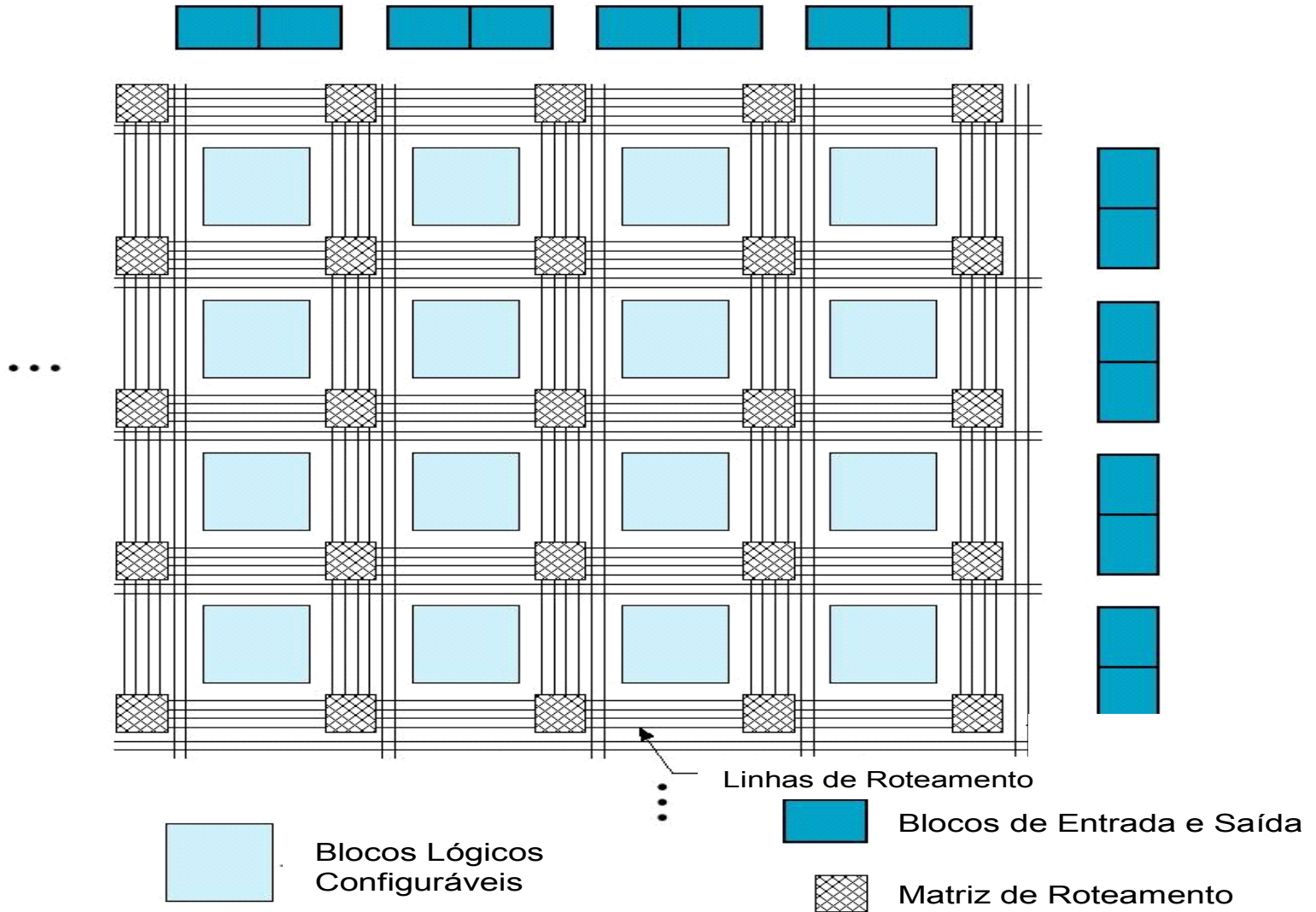
# FPGA

FPGA – Field-Programmable Gate Array

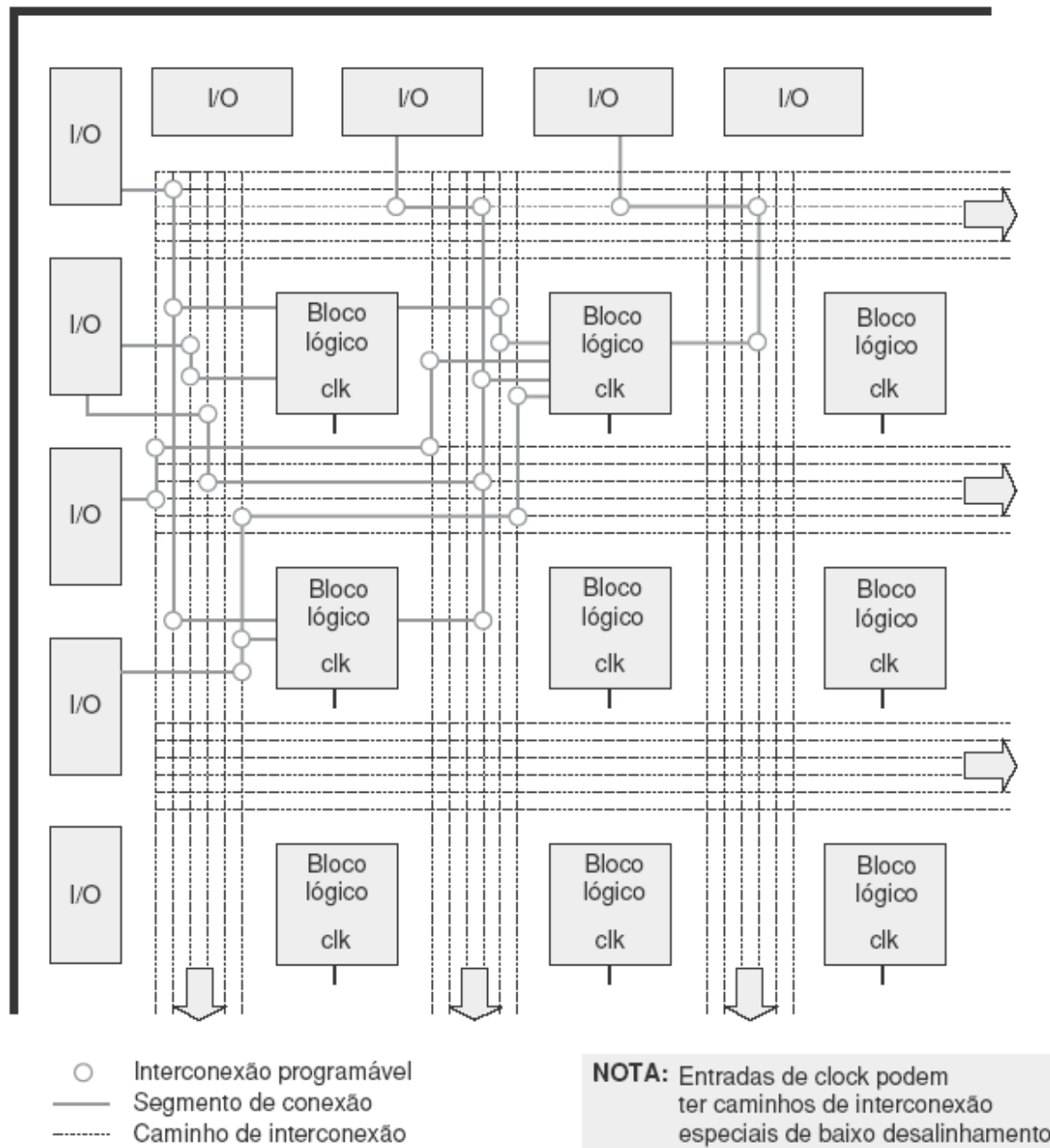


Estrutura Geral de um FPGA

# FPGA

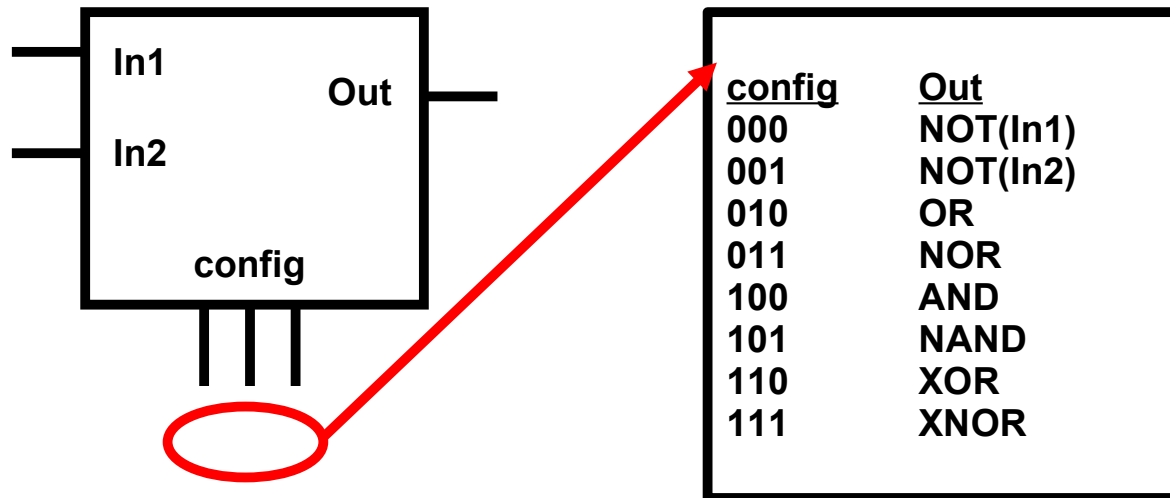


**FIGURA 13.2**  
Arquitetura de  
um FPGA.



# FPGA

- Uma FPGA usa Blocos Lógicos reconfiguráveis
- Os bits de configuração são selecionados de acordo com a função lógica desejada.
- A configuração é uma tabela da verdade (lookup table) da funcionalidade



# FPGA

- A FPGA pode implementar lógica puramente combinacional ou sequencial, ou seja, que faz uso de flip-flops.

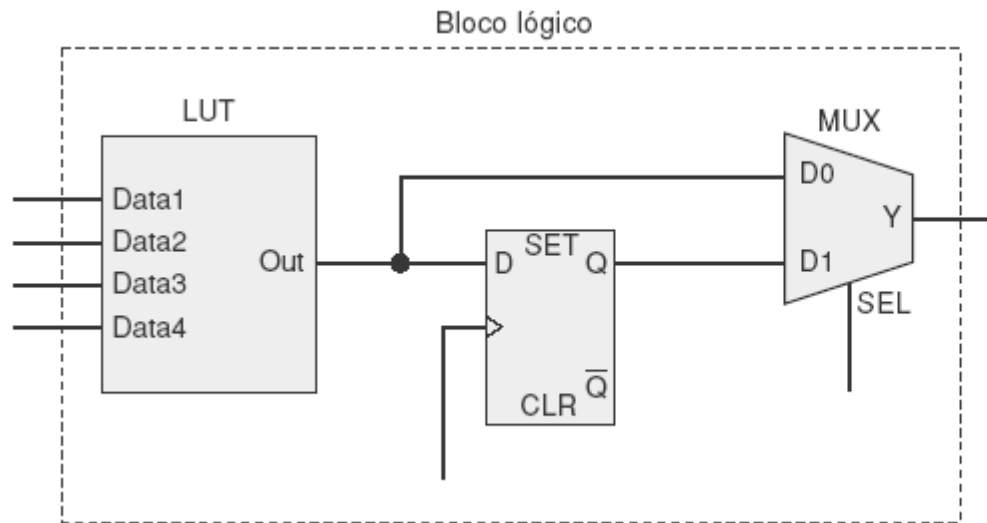
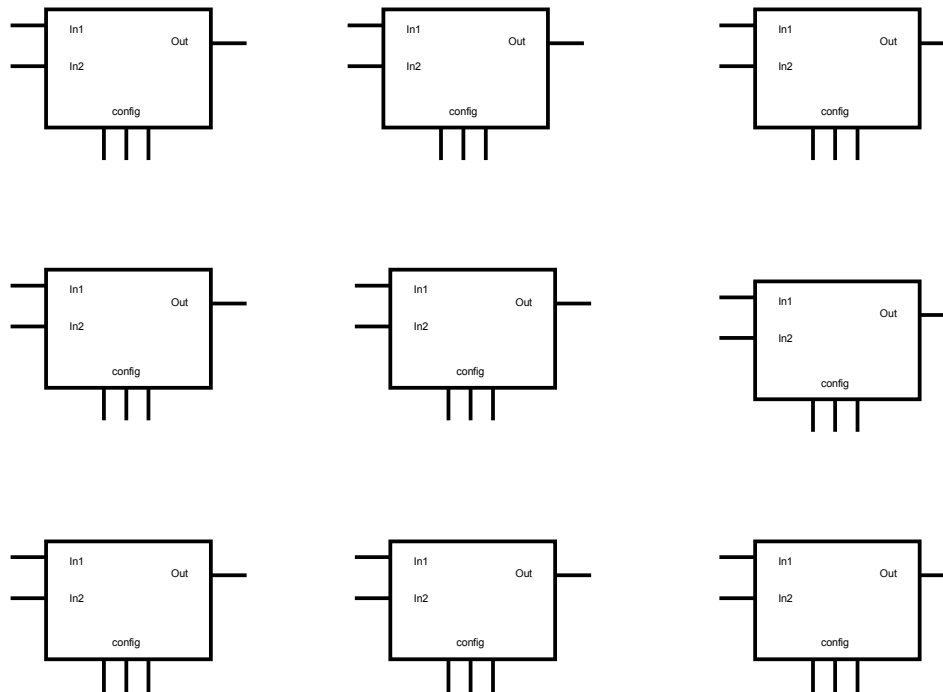


FIGURA 13.14  
Diagrama em bloco lógico  
simplificado de um dispositivo  
FLEX10K.

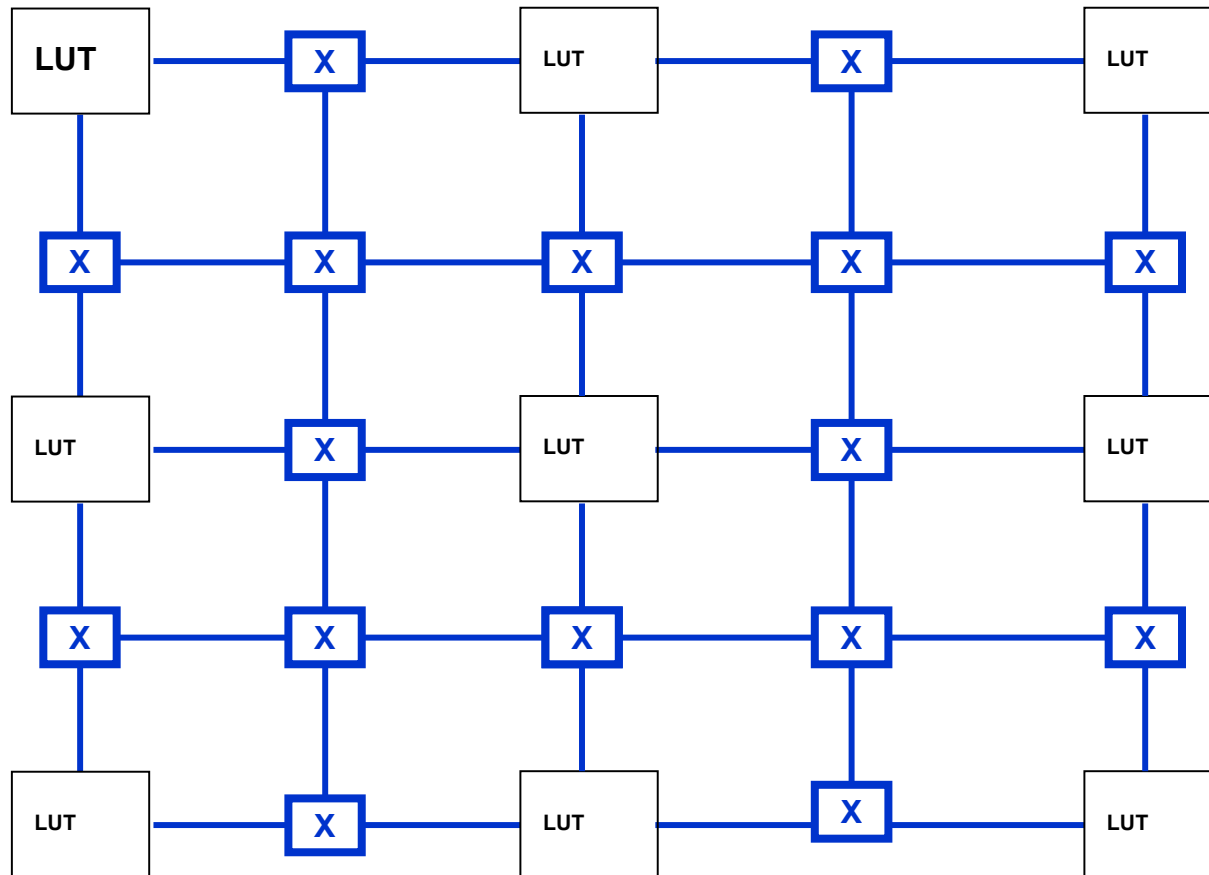
# FPGA

- LUTs = Look Up Tables
  - As LUTs podem ser programadas para qualquer tipo de porta necessária ao projeto
  - Há um número finito de LUTs em uma FPGA.

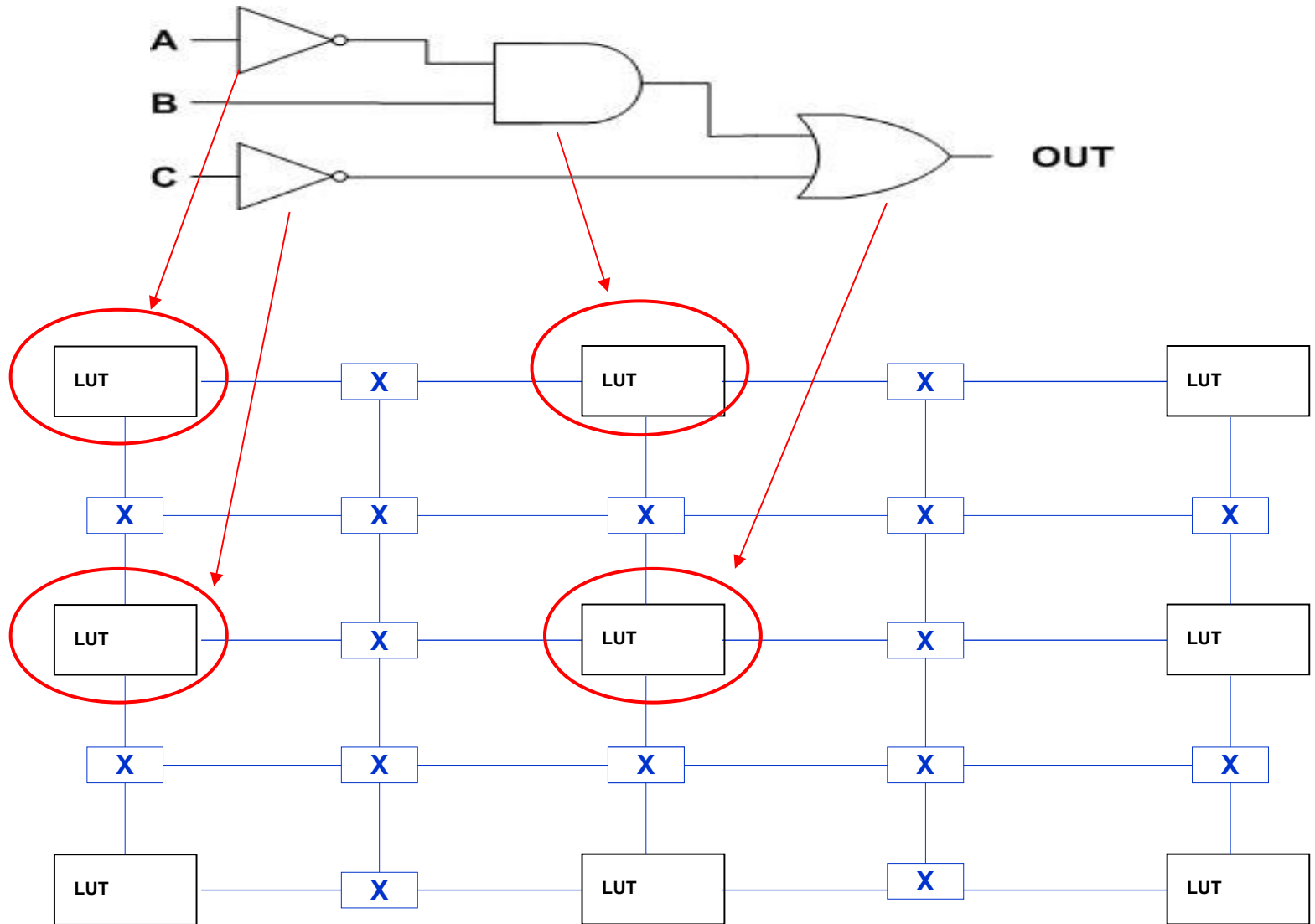


# FPGA

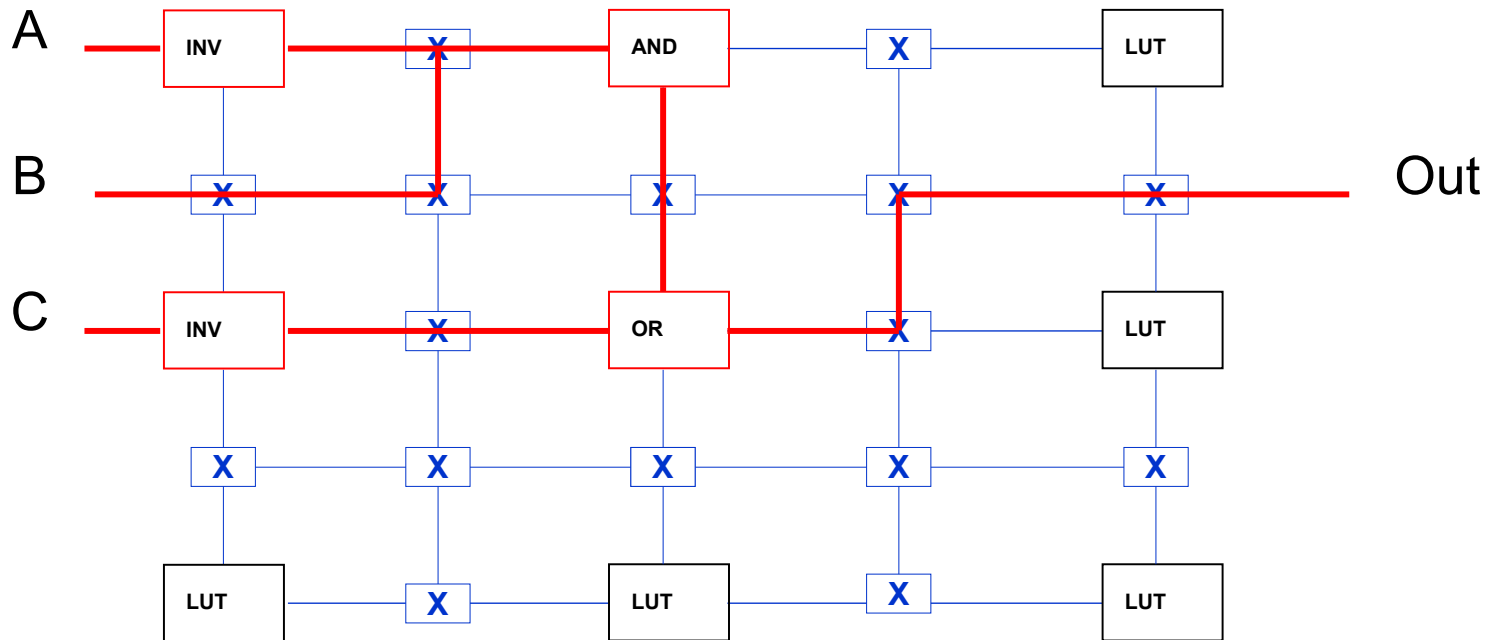
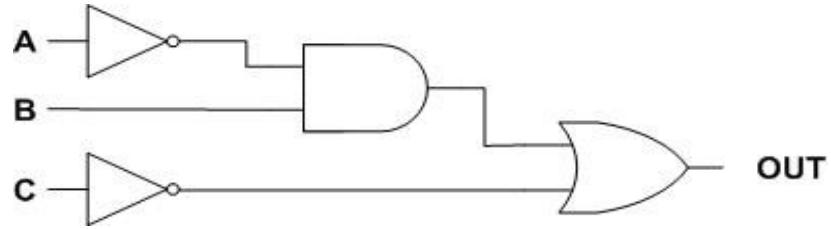
- As interconexões entre as LUTs são programáveis.



# FPGA

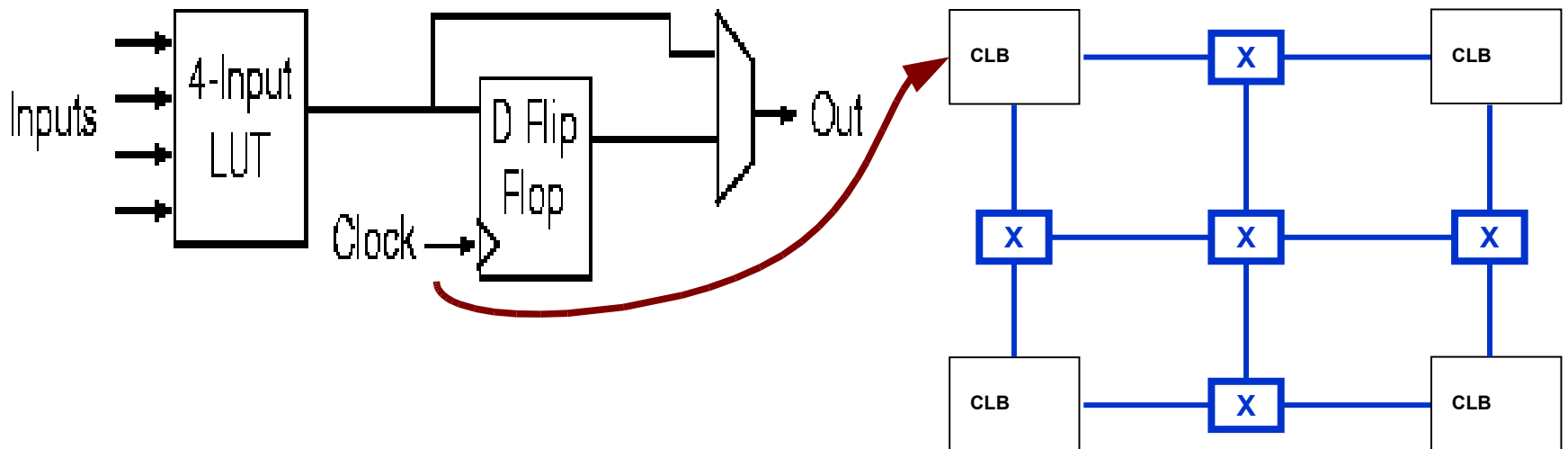


# FPGA

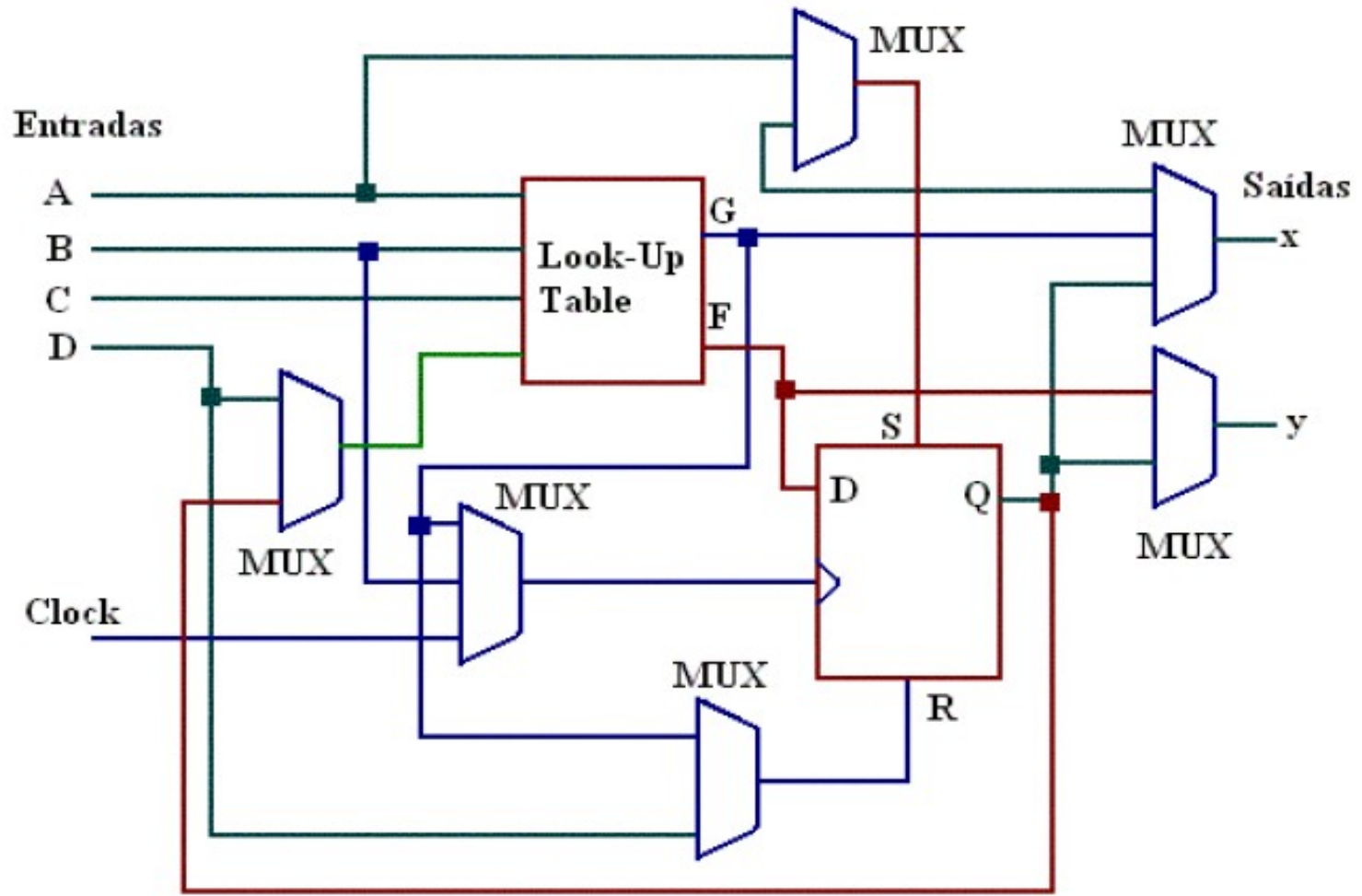


# FPGA

- Os fabricantes de FPGAs rapidamente perceberam que o uso de flip-flops poderia ser muito útil.
- Eles conectaram um flip-flop do tipo D a uma LUT de quatro entradas para formar um “Bloco Lógico Configurável” (CLB)



# FPGA – Bloco Lógico Configurável



# FPGA – Bloco Lógico Configurável

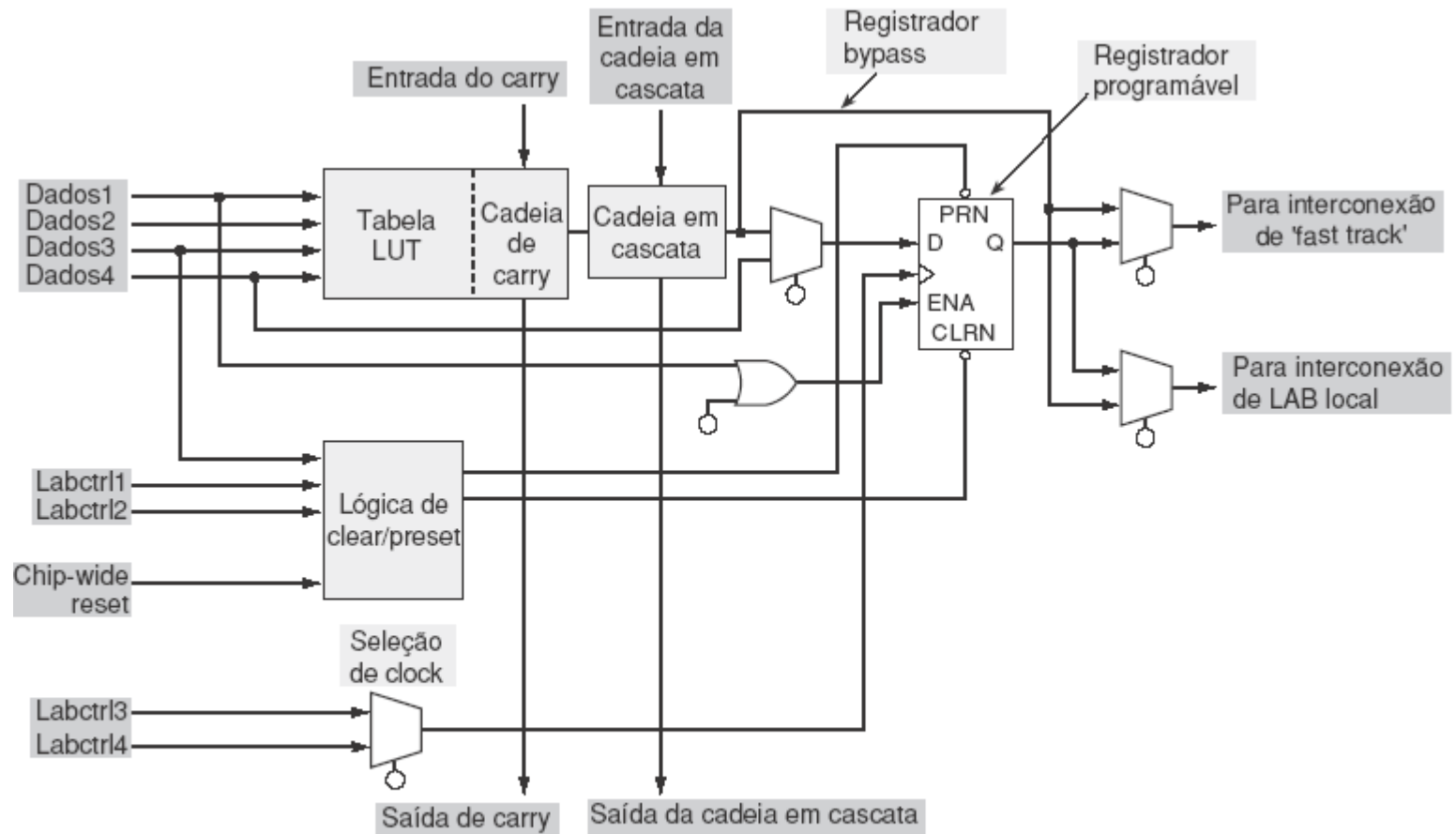


FIGURA 13.16  
Elemento lógico do FLEX10K. (Cortesia da Altera Corporation.)

# FPGA

- A configuração da LUT e da interconexão é volátil, isto é, se perde quando a alimentação é removida.
- Existe uma memória não-volátil associada à FPGA de onde a sua configuração é carregada quando o sistema é ligado.
- Já que a programação é feita pelo usuário depois da fabricação ela é chamada de programável no campo – *field programmable*.

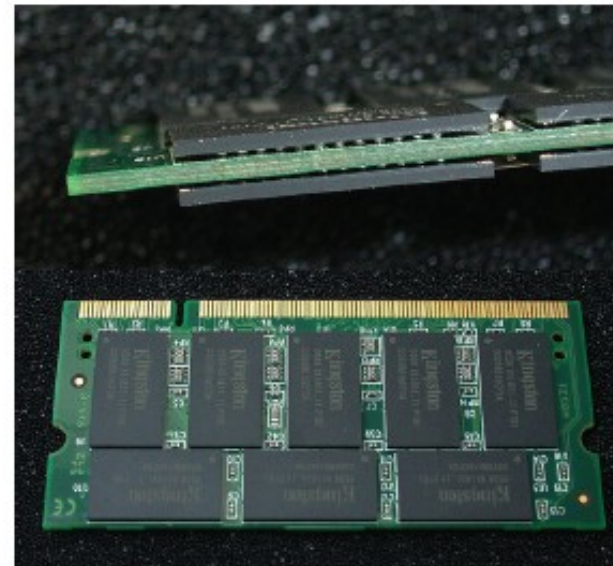
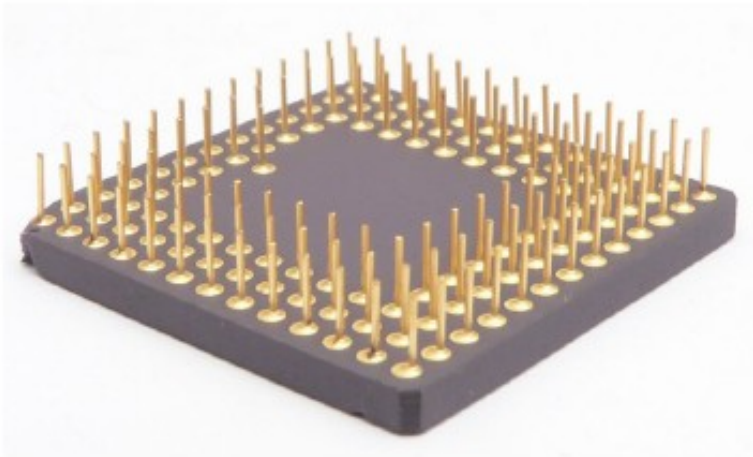
# FPGA

- Outros aspectos:
  - Ferramentas CAD translacionam uma função lógica para o interior de um único bloco lógico
  - Células de LUTs são voláteis, então são necessárias PROMS ao lado de FPGAs (conteúdo atualizado ao serem alimentadas)
  - São voláteis pois as células de armazenamento são implementadas com memórias SRAMs (memórias RAM estáticas)
  - FPGAs são indicados para circuitos com mais de 1 milhão de transistores

# Encapsulamentos de FPGA

BGA – *Ball Grid Array*

PGA – *Pin Grid Array*



BGA – Uso de bolas metálicas, ao invés de postes, permitem mais pinos !

# ASICs e Gate Arrays

*Custom Chip* = criado do rascunho

*Chip Layout* = processo de definir onde cada transistor e fio estará situado sobre o chip. Pode ser criado por ferramenta CAD

Exige grande esforço de projeto !

Ex: Microprocessadores e memórias

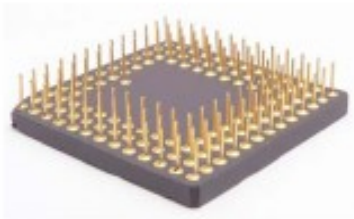
Usa-se no projeto tecnologia conhecida como *células-padrão (standard cells)*, diferentemente de switches programáveis

Chips que usam células-padrão são conhecidos como ASICs (*Application Specific Integrated Circuits*)

# Encapsulamentos ASICs

Saem em PGA, BGA e QFP

PGA



BGA



QFP



# Conclusões

- CIs da série 7400 contém poucas portas e raramente são utilizados atualmente, exceto por buffers e drivers
- PLDs são amplamente utilizados em muitos tipos de aplicação
- Os SPLDs (PALs e PLAs) oferecem baixo custo e alta velocidade
- CPLDs são utilizados em circuitos maiores, de 10.000 a 20.000 portas, não adequados aos SPLDs
- Muitas aplicações de CPLDs podem também ser realizadas com FPGAs
- CPLDs e FPGAs são mais amplamente usados, pois hoje em dia se considera importante colocar muitos circuitos num único chip
- Tecnologias de Gate Arrays, células-padrão e chip customizado são usadas em aplicações que requerem circuitos grandes, alta velocidade, baixo consumo e onde se espera alto volume de fabricação